

半導体分野

我が国は、インターネットやその他の高度情報通信ネットワークを通じて自由かつ安全に多様な情報又は知識を世界的規模で入手し、共有し又は発信することにより、あらゆる分野における創造的かつ活力ある発展が可能となる高度情報通信ネットワーク社会の形成を目指し、電子政府始め様々な取り組みを推進している。しかし、その一方で、大幅に増大しているネットワーク・トラフィックと電力消費量の爆発的増大、情報システムのトラブルの原因となるソフトウェアの安全性・信頼性の低下、増加の一途をたどるアタック、ウイルス等の重要な課題が顕在化している。

こうしたことから、情報家電等 IT の利活用と社会システムとしての安全性・信頼性の確保とともに、その基盤となる IT 産業の技術力、国際競争力の強化を目標として、情報通信関連技術を半導体、ストレージ・不揮発性メモリ、コンピュータ、ネットワーク、ユーザビリティ（ディスプレイ等）及びソフトウェアの 6 分野に分け、今後 10 年程度を見据えた技術戦略マップを作成した。

半導体は、情報家電、自動車、産業機械、医療機械等、様々な製品の付加価値を高める非常に重要な産業のコア部品であるが、半導体産業を発展させ競争力をつけていくためには、世界各国での激しい市場競争に打ち勝つための莫大な研究開発費と技術戦略が必要となっている。本技術戦略マップでは、国際半導体ロードマップ（ITRS）の中から、特に我が国に必要な重要技術を抽出し、技術開発成果の産業への導入シナリオ、ロードマップをとりまとめている。

また、半導体分野の技術は、ナノ・部材技術やシリコン以外の材料を活用して深化する度合いが増えてきており、これを考慮して策定している。

半導体分野の技術戦略マップ

．導入シナリオ

(1) 半導体分野の目標と将来実現する社会像

半導体技術は、情報家電、自動車等の製品に組み込まれて初めてその機能を発揮するものであり、技術力のみで国際市場のシェアを確保できる分野ではないが、その技術は、「技術戦略マップに示された技術により実現できる将来社会イメージ」の中でも、ユーザビリティ技術、ネットワーク技術等と合わせて、将来のコビキタス時代を作り上げるコア技術であり、半導体技術を高度化していくことが、全ての基礎となる。具体的には、従来からの方法である微細化による半導体の高性能化、省エネ化を強力に進めるとともに、微細化以外の方法で高機能な新しい半導体を実現させていくことが必要である。

(2) 研究開発の取組み

研究開発の推進については、開発目標を戦略的に設定するとともに、効率的な研究開発体制の構築と部材産業、製造装置産業等との垂直連携の強化等が重要である。

特に、半導体分野においては、国際ロードマップを意識し、その中で設計、プロセス、検査、実装等の各製造工程に係る研究開発と連携をとりつつ一体的に取り組むとともに、次世代及び次々世代の技術の開発を国と民間との適切な役割分担の下に行うことが必要である。

半導体の技術開発は、大きく 3 ステージに研究内容が別れる。初期の基礎技術開発としてのトランジスタの性能を決める半導体材料開発、プロセス開発等の要素技術開発。第二段階として、電気特性や信頼性等の性能を出すためのデバイスインテグレーション技術。第三段階として、そのプロセスを各工場に移転する技術にデバイスがある。微細化が進むに従い、例えば次世代の 32nm の半導体では、研究開発投資が約 1,700 億円必要との試算があるように、これまでのように、半導体各社が独自で研究する規模ではなくなっている。そこで、2、3 の世界的なアライアンスによる研究開発が進められている。

我が国では、「次世代半導体材料・プロセス基盤技術の開発 (MIRAI) プロジェクト」(2001～2010 年度)で半導体の要素技術を開発し、その成果をロードマップに従って順次、民間コンソーシアムである株式会社 半導体テクノロジーズ (Selete) や民間企業に直接移転し、大きな成果を上げている。プロジェクトの成果の移転については、その技術が使われるタイミングを計って移転することが非常に重要である。

その他、製造時のプロセスのばらつきを考慮した設計手法の開発を行う「次世代プロセスフレンドリー設計技術開発」(2006～2010 年度)、新しい発想を半導体に落とし込む「半導体アプリケーションチッププロジェクト」(2005～2009 年度)等を実施している。

(3) 関連施策の取組み

研究開発成果を産業化させるにあたって、制度等様々な障壁等を除去したり低くする施策や国際連携や標準化等によって、成果を導入しやすくすることが必要である。

具体的には、以下の通り。

〔起業・事業支援〕

- ・社団法人半導体ベンチャー協会と協力して、半導体ベンチャーの育成支援等を行う。

〔規制・制度改革〕

- ・高度情報通信ネットワーク社会形成基本法（IT 基本法）による高度情報通信ネットワーク社会の形成に関する施策の推進

〔国際標準化〕

- ・半導体集積回路の国際標準化は、IEC（IEC:International Electrotechnical Commission 国際電気標準会議）では、TC47 で審議されており、議長国は英国、幹事国が日本である。また、ナノエレクトロニクス分野では、ナノテクノロジーとして TC113 を 2006 年に新設し、用語の定義や計測法などについて標準化が始まった。
- ・一方、ISO/IEC 以外の標準化活動として、MIRAI プロジェクトの成果を活用した HiSIM モデルが、大学、産業界の積極的な活動の結果、2007 年 12 月に SCC で国際標準となった。このように、研究開発の成果を使える環境を作り出すために、国際標準化を推進するとともに、これを複数の技術世代にわたる継続的な取り組みとすることが必要である。

〔国際連携・協力〕

- ・知的財産権保護、環境対策、非特惠原産地規則、関税対策等の課題を解決するためには、半導体産業がグローバル化しているために国内のみの活動では不十分である。そのため、日本、欧州、米国、韓国、台湾、中国の 6 極でこれら半導体に関する課題について解決方策を検討するため、半導体政府当局会合（GAMS）を行っている。

〔他省庁との連携〕

- ・特に先端的分野においては、文部科学省と連携して研究を進めることで、大きな効果を上げる。「極端紫外線（EUV）露光システム開発プロジェクト」では、文科省のリーディングプロジェクトと密接な協力関係を築き、リーディングプロジェクトで発見した EUV の発光原理を基に極端紫外線露光システム技術開発機構（EUVA）で装置開発を行い、世界トップクラスの成果を上げている。また、次々世代の半導体技術であるナノエレクトロニクス分野では、ナノエレ政策推進会議を両省で設置し、この会議の成果として、互いに有機的連携の下でのプロジェクトが 2007 年度から推進されている。

〔産学官連携〕

- ・産学官で構成する「つくば半導体協議会」等の産学官連携の場を活用し、情報交換から具体的な連携までを行っている。

- ・また、大学等による新しい発想の半導体回路アーキテクチャを、具現化し評価するプロジェクトを 2008 年度から開始する予定である。

〔プロジェクト等間の連携〕

- ・半導体製造は、従来のように設計・前工程・後工程と工程毎に技術を開発しても、微細化が進むに連れ、特性バラツキや信号遅延などの問題が深刻化し、工程間の連携が不可欠となってきている。そのため、例えば、設計分野の「次世代プロセスフレンドリー設計技術開発 (DFM)」プロジェクトと MIRAI 中の「D2I (マスク設計・描画・検査総合最適化技術開発)」プロジェクト間で、データ交換や相互での評価などを実施している。今後とも、プロジェクト間の連携の必要性は高まると予測され、柔軟な連携が求められる。

(4) 海外での取組み

IBM (米アルバニー)、IMEC (ベルギー) 等のコンソーシアムに、世界から半導体メーカーの研究者が参画し、最先端の半導体研究を行っている。

(5) 民間での取組み

半導体メーカー 11 社で組織される株式会社 半導体テクノロジーズ (Selete) や株式会社 半導体理工学研究センター (STARC) の他、半導体の材料の評価を行うコンソーシアムとして次世代半導体材料研究組合 (CASMAT) が活動している。

(6) 改訂のポイント

- 半導体分野に特化して再整理した。

・技術マップ

(1) 技術マップ

国際半導体技術ロードマップ (ITRS) 2007 を踏まえ、本技術マップにおいては、我が国の研究開発を戦略的に推進するため、我が国が得意とする低消費電力化技術を中心に技術項目を大、中、小項目に分類。大項目では LSTP デバイス技術、プロセス技術やリソグラフィ、設計 (SoC 設計) など大きく 12 項目に分け、これらを、体系化するとともに、細分類化を行っている。

(2) 重要技術の考え方

半導体の技術を、その事業形態 (IDM、ファウンドリメーカー、ファブレスメーカー、装置・材料メーカー、ソフトベンダー) から見て重要技術に分類し、更に、半導体の安全・信頼性から見た重要技術、省エネの観点から見た重要技術に分類整理を行った。

(3) 改訂のポイント

- 新しい重要技術の考え方によって、全面改訂した。
 - ・半導体の技術をおおまかな体系に図示。
 - ・どの対象業種の産業競争力向上に係わる技術であることを明示。
 - ・さらに、半導体の安全・信頼性に係わる技術、省エネに係わる技術に該当する技

術を明示。

. 技術ロードマップ

(1) 技術ロードマップ

技術マップに示した重要技術ごとに、研究開発により達成されるべきスペックを時間軸上に表した。

また、技術戦略マップ2007から導入した、More than Mooreに関連する技術についても引き続き明示している。

(2) 改訂のポイント

- ロードマップの対象期間の変更
開始は2008年、終了は2017年の10年間とした。
- ITRS2007における改訂内容等を反映
 - ・ NAND Flashメモリの微細化トレンドを1年前倒し。
 - ・ リソグラフィ技術については、hp45nm世代の候補が、193nm液浸リソと同技術のダブルパターンニングの2候補に。hp32nm世代は、193nm高屈折率液浸リソのスケジューリングが後ろ倒しになり、ダブルパターンニングとEUVの可能性が相対的に向上。
 - ・ EUVLマスク欠陥検査・修正技術や三次元再構成型回路技術などの重要技術について追加。

. その他の改訂のポイント

ベンチマーキングの策定【半導体分野の国際競争ポジション】

- 半導体産業の国別シェアの推移、2006年の半導体メーカーのシェア、主要メーカーの営業利益率を比較した。
- 車載用マイコンの国内外のシェアの他、代表的な装置、材料のシェアを比較した。
- 2001年から2007年まで、設計部門、プロセス部門に関する代表的な国際学会での論文発表数の推移で、技術競争力比較を行った。
- リコンフィギャブル論理回路部門での2006年度の特許出願数で、技術競争力の比較を行った。

半導体分野の導入シナリオ

2009 2010 2015 2020

目標

民間企業の取り組み

半導体事業の選択と集中の加速
海外市場も視野に入れた組み込みソフトのプラットフォーム化による競争力の強化
海外コンソーシアムへの参加

社団法人半導体ベンチャー協会の設立

研究開発の取り組み

あすかプロジェクト (Selete, STARC)



MIRAI DFMプロジェクト

アプリチッププロジェクト

ナノエレプロジェクト



渡辺クレスト (文科省)

基盤技術の研究開発 (産総研 ナノ電子デバイス研究センターの設立)

つくばR&Dセンター構想
産総研 NeIP構想

- ・次々世代技術の民間への技術移転等
- ・設計、プロセス、検査技術の一体的取り組み
- ・文部省とパイプライン的研究開発実施

法律

標準化の推進

IT基本法 (高度情報通信ネットワーク社会形成基本法)

IEC及びISOで主に標準化活動が進められている。その他、シミュレーションなど、その固有分野毎に国際標準化が決められている。

TC47 半導体デバイス 幹事国:韓国 議長国:米国 SCA 集積回路 幹事国:日本

TC91 電子実装技術 半導体実装技術を担当 幹事国:日本 議長国:米国

TC113 ナノテクノロジー技術 幹事国:ドイツ 議長国:米国

HISIM

大学、産業界と連携して、半導体産業の強化をねらう。

大学・産業界と連携した設計力の強化 シャトル便

CASMAT (半導体材料の評価) 活動

高度部材産業開発・評価センター構想 (部材評価技術の強化、部材開発技術の導入・普及)

WSC (世界半導体会議) と連携した GAMS (半導体政府間会合) の活動により、半導体に関する通商問題、模倣品問題、環境問題、原産地問題等あらゆる問題に対する解決への努力

MCP無税化条約

地球温暖化ガス排出削減に関わる民間自主規制

貿易統計 (HS) の改訂

導入促進策

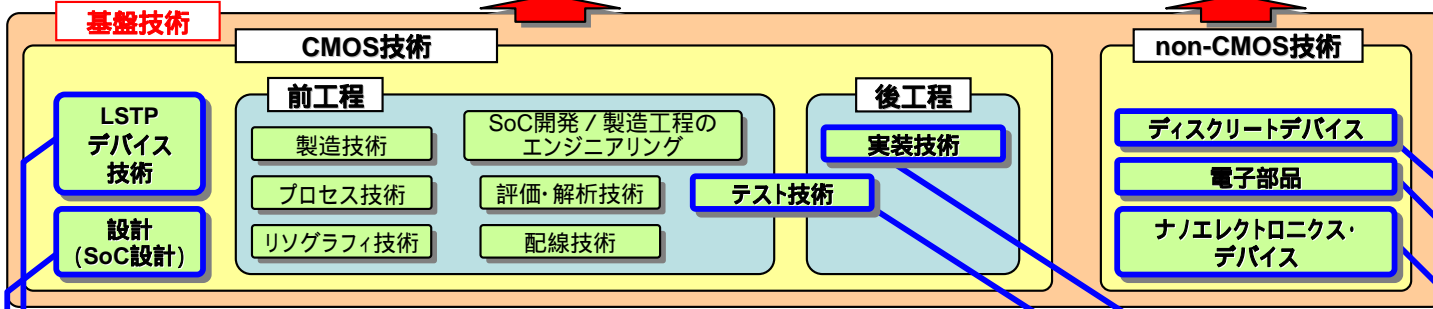
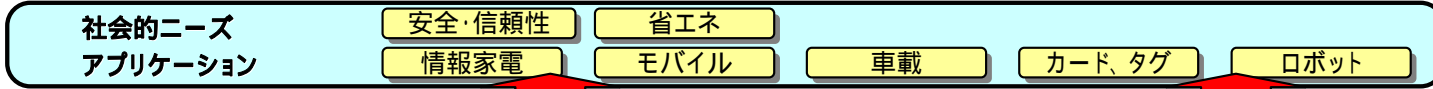
関連分野との連携

環境整備

関連施策の取り組み

半導体分野の技術マップ (1/2)

記号の説明					
産業競争力向上に係わる技術(対象業種別)				半導体の安全・信頼性に係る技術	省エネに係わる技術
IDM	ファンドリメーカ	ファブレスメーカ	装置・材料メーカ	ソフトベンダ	
該当しないものを「白抜き」で示す。 ロードマップに記載する技術を「青字」で示す。 「半導体の安全・信頼性に係る技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の効率化技術。					



(大項目) LSTPデバイス技術

(中項目) デバイス微細化
ゲート長およびゲート絶縁膜の低減

(中項目) ナノCMOSへ向けた新技術
UTB FDSOI
ダブルゲート(Fin FET)

(小項目) トランジスタ構造
バルクCMOS
UTB FDSOI
ダブルゲート(Fin FET)

(小項目) 移動度向上技術
Stress Liner
Embedded SiGe on S/D
SGOI, GOI
基板面方位(100) or (110)

(小項目) メタルゲートとHigh-k技術
メタルゲート / Hf系High-k
メタルゲート / La系High-k

(小項目) 新構造トランジスタと準パリスティック動作
Geチャネル
族チャネル
ナノワイヤトランジスタ
準パリスティック動作

(小項目) パラメータばらつき制御技術(Vthコントロール)
基板バイアス
独立マルチゲートコントロール

(中項目) 湿載技術
(小項目) メモリ湿載技術
SRAM 寿命技術
キャパシタレスSOI DRAM
高速アクセス不揮発性メモリ

(小項目) アプリケーション用湿載技術
ICタグ
センサチップ
大規模ネットワーク用チップ

(小項目) 薄膜トランジスタ
ディスプレイ湿載TFT

(小項目) 受動部品湿載技術
オンチップMIMキャパシタ
オンチップインダクタ

(中項目) シミュレーション技術
(小項目) デバイスシミュレーション技術
パリスティック伝導
原子レベルプロセスモデル
信頼性モデル
統計的信頼性モデル
ナノレベル材料設計モデル
ノンクラシカルCMOSコンパクトモデル
量子効果を入れた回路モデル

(大項目) 設計(SoC設計)

(中項目) 設計コンテンツ
モジュール間通信技術
マルチプロセス技術
リコフィギュラブルロジック

(中項目) システムレベル設計・検証
(小項目) 高位モデリング技術
システム仕様モデリング
トランザクションレベルモデリング

合成・最適化技術
検証技術
性能・コスト見積り技術
ロバストシステム技術
コンポーネント・リユース技術

(中項目) シリコンインプリメンテーション技術
システム複合化技術
低消費電力設計
ばらつき評価技術
製造性考慮設計(DFM, DFR, MASK)
アナデジ湿載技術
IPベース設計
ライブラリ設計

(小項目) 回路設計
回路シミュレーション技術
デバイスモデリング技術

(大項目) 実装技術

(中項目) 実装プロセス
(小項目) 単一チップ実装: 多ピン化
ウェハレベルパッケージ
Low-k/Cu対応技術

(小項目) SIP実装(複数デバイスを同一パッケージに組み込む)
同種チップの三次元チップ積層
異なる機能を持つ半導体チップの実装
接触方式インターコネクト技術
非接触方式インターコネクト技術
光インターコネクト技術
部品内蔵インターポーザ
異種デバイス・光・機構部品等の取り込み
ウェハテスト(KGD)技術

(小項目) 実装基板技術
ビルドアップ基板
フレキシブル基板
セラミック基板

(中項目) 実装設計
(小項目) 統合設計プラットフォーム技術
チップ/パッケージ/ボード連携設計ツール
電気/熱/構造連成解析技術

(大項目) テスト技術

(中項目) DFT
高位DFT
テストデータ圧縮
BIRA, BISR
アナデジ湿載

(中項目) テスト・故障解析
故障診断
欠陥対応テスト
電力・ノイズ考慮テスト

(中項目) テスト環境
標準準拠のテスト環境

(大項目) ディスクリートデバイス

(中項目) パワーデバイス
シリコンパワーデバイス
ワイドバンドギャップ半導体
パワーデバイス

(中項目) 光デバイス、センサ
センサ、光デバイス等

(大項目) 電子部品

(中項目) 受動部品
コンデンサ、インダクタ、抵抗等

(大項目) ナノエレクトロニクス・デバイス

(中項目) ナノCMOSの延長
(自己組織化プロセスによるトランジスタ)
ナノシートトランジスタ
ナノワイヤトランジスタ
ナノチューブトランジスタ

(中項目) Beyond CMOS
共鳴トンネルデバイス
分子・有機デバイス
単一電子デバイス
超電導デバイス
スピントロニクス
強磁性ロジックデバイス
強相関電子デバイス
回路再構成スイッチ
Beyond CMOSとSi CMOSとの融合技術
量子計算デバイス

半導体分野の技術マップ (2 / 2)

社会的ニーズ
アプリケーション

安全・信頼性

省エネ

情報家電

モバイル

車載

カード、タグ

ロボット

最重要課題

システムLSI (SoC)

Non-CMOS

性能上:
高速、多機能、低消費電力

製造上:
低コスト、QTAT、多品種変量生産対応

Siを超える超高速、大パワー密度、
低消費電力、新機能等

基盤技術

CMOS技術

non-CMOS技術

前工程

後工程

LSTP
デバイス
技術

設計
(SoC設計)

製造技術
プロセス技術
リソグラフィ技術

SoC開発 / 製造工程の
エンジニアリング
評価・解析技術
配線技術
テスト技術

実装技術

ディスクリートデバイス
電子部品
ナノエレクトロニクス・
デバイス

記号の説明					半導体の安全・信頼性に係る技術	省エネに係わる技術
IDM	ファンドリメーカ	ファブレスメーカ	装置・材料メーカ	ソフトベンダ		
産業競争力向上に係わる技術(対象業種別)						

該当しないものを「白抜き」で示す。
ロードマップに記載する技術を「青字」で示す。
「半導体の安全・信頼性に係る技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。
「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の効率化技術。

(大項目) 製造技術

- (中項目) 装置基盤技術
プロセス低温化技術
極薄膜形成技術
微細加工技術
ダメージ抑制技術
プロセス・加工ばらつき低減技術
リアルタイムプロセスモニタリング技術
TEG応用品質予測技術
高精度シミュレーション技術
(装置内複合現象モデル)
高精度シミュレーション技術
(プロセスダメージ複合現象予測モデル)
低濃度金属分析技術
有機物分析技術
パーティクル分析技術
装置内現象計測技術
ファシリティ制御技術
- (中項目) ファクトリインテグレーション技術
APC技術
AEC技術
FDC技術
Virtual Metrology利用技術
EEQM / EEQA
ウェーハ単位装置制御技術
- (小項目) ファシリティ技術
ファシリティ統合管理技術
グリーンファブ可視化技術

(大項目) SoC開発 / 製造工程のエンジニアリング

- (中項目) 開発プラットフォーム
設計メソッドの構造化と標準化
プロセス開発の構造化と標準化
- (中項目) 製造統合制御プラットフォーム
コスト・納期・品質のモデリング
総合的判断機能
制御機能・情報の階層化
- (小項目) 工程制御技術
(枚葉化を実現した階層的搬送制御技術)
高速・高効率搬送技術
階層的搬送技術
ウェーハ単位搬送制御技術
枚葉・チップ単位のトレーサビリティ技術
- (小項目) 装置制御技術
装置OEEモデリング/モニタリング技術
装置・プロセスモデリング技術
- (小項目) プロセス制御技術
出来映えモデリング技術
モデリングによる
階層的装置・プロセス制御技術
- (小項目) 品質制御技術
歩留りモデリング技術
歩留りモニタ技術
検査最適化技術
DFM&APCの融合技術

(大項目) 配線技術

- (中項目) 微細化技術
(小項目) 多層配線技術
銅成膜技術(めっき、PVD、CVD)
- (小項目) 層間絶縁膜技術
低誘電率化技術(CVD、SOD)
キュア技術
高機械強度化技術
空孔(ポア)導入技術
エアギャップ技術
ボアシール技術
疎水化技術
自己組織化単分子膜(SAM)バリア技術
- (小項目) 配線材料技術
バリアメタル技術(PVD、ALD、CVD)
- (小項目) 信頼性技術
エレクトロマイグレーション(EM)改善技術
ストレスマイグレーション(SM)改善技術
配線信頼性(TDDB)改善技術
配線信頼性評価技術
層間絶縁膜信頼性評価技術
密着性評価・制御技術
配線ばらつき(LER、抵抗)低減技術
- (小項目) 配線モデリング技術
配線モデリング技術
- (中項目) 新規配線技術
(小項目) 新規配線材料技術
カーボン配線技術
(小項目) 光やRF(電磁波)による信号伝達技術
シリコンナノフォトニクス配線技術
差動同軸線路型配線技術
オンチップRF信号伝送技術
- (小項目) インプリント配線技術
インプリント配線技術

(大項目) 評価・解析技術

- (中項目) 計測技術
(小項目) 微細形状計測・物性評価技術
パターン形状計測技術(マスク)
パターン形状計測技術(ウェーハ)
重ね合わせ(overlay)誤差計測技術
ゲート電極形状計測(2D、3D)技術
膜厚計測技術(絶縁膜、メタル多層膜)
界面・表面評価技術
歪・ドープ分布計測技術
仕事率数値評価技術
トレンチ・ビア形状計測技術(2D、3D)
膜厚計測技術
(絶縁膜、バリアシード膜、メタル膜)
平坦度計測技術
ボアサイズ計測、機械的特性計測技術
- (小項目) 新材料評価技術
物理的特性評価技術
化学的特性評価技術
機械的特性評価技術
- (中項目) 歩留り向上技術
(小項目) 欠陥検出・解析技術
欠陥サンプリング / 欠陥管理技術
欠陥検出技術(電子ビーム方式、光学式)
欠陥レビュー技術
欠陥解析技術
(空間分布、元素分析、断面解析)
- (小項目) 物理解析技術
検査データリンク、解析ポイント
加工技術
断面観察、構造・元素解析技術
構造・界面解析技術
化学結合・元素分析技術
周所プロービング技術
- (小項目) 歩留りモデル高度化
ランダム欠陥歩留りモデル
リソグラフィ起因システムティック欠陥
歩留りモデル
許容汚染モデル

(大項目) プロセス技術

- (中項目) トランジスタ形成プロセス
ゲートスタック形成技術
ソースドレインアニール技術
ソースドレイン浅接合形成技術
ソースドレインコンタクト形成技術
素子分離技術
- (中項目) 洗浄技術
新規洗浄技術
ウェット洗浄技術
- (中項目) イオン注入技術
イオン注入技術
- (中項目) エッチング技術
ウェットエッチング技術
ドライエッチング技術
- (中項目) 薄膜堆積技術
CVD技術
スパッタ技術
MBE技術
- (中項目) 酸化・拡散・熱処理技術
酸化・拡散・熱処理技術
- (中項目) シリコン基板
大口径ウェーハ対応製造技術
- (中項目) プロセスシミュレーション技術
新規プロセス対応シミュレーション

(中項目) 露光装置技術

- (小項目) 主流露光装置技術
ArF液浸露光装置技術
EUV露光装置技術
高屈折率ArF液浸露光装置技術
- (小項目) 新規技術
ML2(マスクレスリソグラフィ)
インプリントリソグラフィ
DSA(ダイレクトセルフアセンブリ)

(大項目) リソグラフィ技術

- (中項目) マスク技術
描画装置技術
欠陥検査装置技術
欠陥修正技術
データ処理技術
(OPC、RET、MDP、MRC等)
材料技術(基板、フランク、ベリクル)
高効率作製技術
- (中項目) レジスト・プロセス技術
材料技術(レジスト、反射防止膜、シュリンク、トップコート)
液浸露光技術
ダブルパターンニング技術
(OPC、RET、MDP、MRC等)
リソグラフィインテグレーション技術
材料技術(基板、フランク、ベリクル)
総合的最適化技術

略語説明

A: AEC = Advanced Equipment Control

ALD = Atomic Layer Deposition

APC = Advanced Process Control

ArF = Argon Fluoride

B: BISR = Built-In Self Repair

BIRA = Built-In Redundancy Allocation

C: CMP = Chemical Mechanical Polishing

CMOS = Complementary Metal-oxide Semiconductor

CVD = Chemical Vapor Deposition

D: DD = Dual Damascene

DFM = Design For Manufacturing

DFR = Design For Reliability

DFT = Design For Testability

DRAM = Dynamic Random Access Memory

DRC = Design Rule Check

DSA = Directed Self Assembly

E: EEQA = Enhanced Equipment Quality Assurance

EEQM = Enhanced Equipment Quality Management

EM = Electro Migration

EUV = Extreme UltraViolet

F: FDC = Fault Detection and Classification

FDSOI = Full Depletion Silicon On Insulator

FET = Field Effect Transistor

G: GOI = Germanium Oxide Insulator

H: HW = HardWare

I: IP = Intellectual Property

K: KGD = Known Good Die

L: LER = Line Edge Roughness

LSTP = Low Standby Power

M: MBE = Molecular Beam Epitaxy

MDP = Mask Data Preparation

ML2 = MaskLess Lithography

MOS = Metal-Oxide Semiconductor

MRC = Mask Rule Check

N: NGL = Next Generation Lithography

NVRAM = NonVolatile Random Access Memory

O: OEE = Overall Equipment Efficiency

OPC = Optical Proximity effect Correction

OS = Operating System

P: PCB = Printed-Circuit Board

PVD = Physical Vapor Deposition

Q: QTAT = Quick Turn Around Time

R: RET = Resolution Enhancement Technology

RF = Radio Frequency

RTL = Register Transfer Level

S: SAM = Self-Assembled Monolayer

S/D = Source / Drain

SGOI = Silicon Germanium Oxide Insulator

SiP = System in Package

SM = Stress Migration

SoC = System on a Chip

SOD = Spin On Dielectric

SOI = Silicon On Insulator

SRAM = Static Random Access Memory

STIL = Standard Test Interface Language

SW = SoftWare

T: TDDDB = Time Dependent Dielectric Breakdown

TEG = Test Element Group

TFT = Thin-Film Transistor

TL = Transaction Level

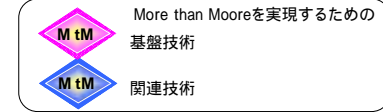
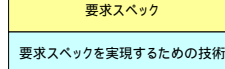
U: UTB = Ultra Thin Body

戦略的重要課題

超低消費電力

システムLSI

欄の色表示



技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017				
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)	5.7	5.0	4.5	4.0	3.6	3.2	2.8	2.5	2.2	2.0			
半導体	LSTPデバイス技術	デバイス微細化	ゲート長およびゲート絶縁膜厚	パターン寸法の微細化	LSTP/LOP 物理ゲート長 (nm)	37/28	32/25	28/22	25/20	22/18	20/16	18/14	16/13	14/11	13/10				
					LSTP/LOP ゲートの寸法ばらつき (nm) (加工後の物理長 3)	4.4/3.4	3.8/3.0	3.4/2.6	3.0/2.4	2.6/2.2	2.4/1.9	2.2/1.7	1.9/1.6	1.7/1.3	1.6/1.2				
					LSTP (Planar Bulk/DG) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	1.6	1.5	1.4	1.3	1.2/1.4	1.1/1.3	1.2	1.1	1.1	1.0				
					実効ゲート酸化膜厚EOT: 電氣的膜厚 (nm)	1.93	1.84	1.73	1.62	1.51/1.8	1.41/1.7	1.6	1.5	1.5	1.4				
					LOP (Planar Bulk/DG) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	1.1	1.0	0.9	0.8/0.9	0.8/0.9	0.9	0.8	0.8	0.8	0.7				
		実効ゲート酸化膜厚EOT: 電氣的膜厚 (nm)	1.46	1.33	1.24	1.13/1.3	1.12/1.3	1.3	1.2	1.2	1.2	1.1							
		ナノCMOSへ向けた新技術	トランジスタ構造	低コスト 短チャネル効果抑制 不純物ランダムばらつき抑制 高移動度化	バルクCMOS	バルクCMOS	[Timeline bar]												
						FDSOI Double Gate (FinFET)	UTB FDSOI	[Timeline bar]											
							Double Gate	[Timeline bar]											
			移動度向上	ナノワイヤトランジスタ	低コスト 短チャネル効果抑制 不純物ランダムばらつき抑制 高移動度化	Process Strain	Stress Liner	[Timeline bar]											
							Substrate Strain	Embedded SiGe on S/D	[Timeline bar]										
								SiGe/Si チャンネル	[Timeline bar]										
							基板面方位	SGOI	[Timeline bar]										
			性能向上策	電氣的ゲート絶縁膜厚の薄膜化 ゲート電流の低減	メタルゲート/High-K	メタルゲート/High-K	メタルゲート/Hf系	[Timeline bar]											
							La系、Al系 Capping Layer	[Timeline bar]											
							メタルゲート/La系	[Timeline bar]											
		パリスティック係数の向上	Geチャネル III-V族チャネル	パリスティック係数の向上	Geチャネル III-V族チャネル	準パリスティック	[Timeline bar]												
						Geチャネル	[Timeline bar]												
		混載技術	メモリ混載技術	ロジック埋め込み用 6Tr. SRAM	6Tr. SRAMセル面積 (μm ²)	6Tr. SRAMセル面積 (μm ²)	0.35	0.28	0.22	0.17	0.13	0.11	0.084	0.066	0.052	0.041			
						ロジック埋め込み用 6Tr. SRAM代替RAMメモリ	SRAM延命技術 マスクレスSOI DRAM 高速アクセス不揮発性メモリ	7Tr or 8Tr SRAM	[Timeline bar]										
アプリケーション用混載技術	新アプリケーション用混載素子		新混載チップ例	ポイントオブケアチップ	[Timeline bar]														
				センサチップ	[Timeline bar]														
薄膜トランジスタ	ディスプレイ混載TFT		薄膜LCDドライバ	薄膜LCDドライバ	ポイントオブケアチップ	[Timeline bar]													
					センサチップ	[Timeline bar]													
シミュレーション技術	デバイスシミュレーション技術		新規モデルの取り込み	物理モデル	バリスティック伝導	[Timeline bar]													
					統計的モデル	統計的信頼性モデル	[Timeline bar]												
						信頼性モデル	[Timeline bar]												
コンパクトモデル	ノンクラシカルCMOS コンパクトモデル		量子効果を入れた回路モデル	[Timeline bar]															

半導体分野の技術ロードマップ(2/4)

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017		
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)	Flashメモリアーハーフピッチ (nm)	ロジックメモリアーハーフピッチ (nm)	ロジックノード (nm)	2012	2013	2014	2015	2016	2017		
半導体	プロセス技術	トランジスタ形成プロセス	ゲートスタック形成技術	ゲート周り要求スペック	HP (High Performance) (Planar Bulk/Double-Gate) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	0.9/-	0.75/-	0.65/-	0.55/-	0.5/-	-/0.6	-/0.6	-/0.6	-/0.55	-/0.55		
					HP (High Performance) (Planar Bulk/Double-Gate) ゲートローク電流密度(A/cm ²)	909/-	1000/-	1110/-	1250/-	1430/-	-/1540	-/1820	-/2000	-/2220	-/2500		
					LSTP (Low Standby Power) (Planar Bulk/Double-Gate) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	1.6/-	1.5/-	1.4/-	1.3/-	1.2/1.4	1.1/1.3	-/1.2	-/1.1	-/1.1	-/1.0		
					LSTP (Low Standby Power) (Planar Bulk/Double-Gate) ゲートローク電流密度[LSTP用途] (A/cm ²)	0.0811/-	0.0938/-	0.107/-	0.120/-	0.136/0.136	0.150/0.150	-/0.167	-/0.180	-/0.214	-/0.238		
					ゲート絶縁膜材料	SiON	→										
			ゲート電極材料	HfO ₂ (+Si, N, Al)	→ LaAlO ₃ など												
			ゲート電極材料	poly Si, poly SiGe	→												
			ゲート電極材料	Metal	→												
			ゲート電極の形成方法	FUSI技術/ダマシ技術/RIE	→												
			ソースドレイン形成技術	浅接合形成技術	(Planar Bulk) 接合深さ(drain extension) (nm)	11	10	9	8	7	-	-	-	-	-	-	-
		(Planar Bulk/Double-Gate) シート抵抗(NMOS, drain extension部分) (ohm/sq)			740/-	810/-	900/-	1015/425	1160/475	-/535	-/615	-/670	-/745	-/890			
		(Planar Bulk/Double-Gate) 単位面積あたりのコンタクト抵抗 (NMOS) (単位 ohm・μm ²)			10/-	9.2/-	7.0/-	6.3/6.6	5.6/6.1	-/5.1	-/4.2	-/3.8	-/3.3	-/2.8			
		アニール技術		拡散層の形状と電気特性	Laser Anneal	→											
		素子分離技術	素子分離技術	(Planar Bulk) 素子分離用レンチのアスペクト比	6.5	7.2	7.9	8.6	9.5	-	-	-	-	-	-		
		洗浄技術	新規洗浄技術	微細構造の洗浄	洗浄の方法 超臨界流体洗浄、ガス洗浄技術など		→ ガス洗浄										
							→ 超臨界流体洗浄										
		シリコン基板	大口径ウェーハ対応製造技術	シリコン基板の大口径化	ウエハ直径 (mm)	フラットネス (nm) SFQR	300	300	300	300	450	450	450	450	450	450	
							57	50	45	40	36	32	28	25	23	20	
		プロセスシミュレーション技術	新規プロセス対応シミュレーション	新規モデルの取り込み	新規モデル		→ 新ゲート絶縁膜材料、新ゲート材料のモデリング										
							→ ストレス下の拡散モデルの高精度化										
							→ 原子レベルのプロセスモデリング										

半導体分野の技術ロードマップ(3/4)

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017				
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ(nm)	Flashメモリハーフピッチ(nm)	ロジックM1ハーフピッチ(nm)	ロジックノード(nm)										
半導体	露光装置技術	主流量産技術	微細化・高精度化	ゲートCD制御(3)(nm)	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0	0.9	0.8					
				線幅ラフネス(3)(nm)	3	2.7	2.4	2.1	1.9	1.7	1.5	1.3	1.2	1.1					
			193nm露光技術の延命 新規短波長露光技術	光源(波長:nm) / 方式	193nm 液浸(水)	→													
					193nm液浸(水) w DPT/DET	→													
					13.5nm EUV(極端紫外光リソグラフィ)	→													
		新規技術	マスクレス化、新転写方式	方式	193nm 液浸(NA=1.7 高屈折率液浸)	→													
					ML2(マスクレスリソグラフィ)	→													
					インプリントリソグラフィ	→													
					ダイレクトセルフアセンブリ	→													
						→													
	リソグラフィ	マスク技術	高効率作製技術	設計・描画・検査時間の短縮	最小バタン寸法(nm)	151	135	120	107	95	85	76	67	60	54				
					CD一様性(3)(nm)	2.1	1.7	1.3	1.2	1.1	1	0.9	0.8	0.7	0.6				
			欠陥検査装置技術	欠陥検査装置技術	検出感度向上、検査時間短縮	低欠陥化	欠陥寸法(nm)	46	40	36	32	28	26	22	20	18	16		
						EBマスク描画装置の高度化、OPCの効率化	→												
						マスク設計・描画・検査の総合最適化によるQTAT・低コストマスク作製技術	→												
		欠陥修正装置技術	13.5 nm EUVLマスク欠陥修正	13.5 nm EUVLマスク欠陥修正	マスク欠陥検査装置の高度化、欠陥検査の効率化	→													
					EUVLマスク欠陥検査・修正・無欠陥化技術	→													
		レジスト・プロセス技術	パターン形成プロセス	193nm露光技術延命ための新プロセス	解像限界の拡張	DPT/DET	→												
						低ラフネス化	線幅ラフネス(3)(nm)	3	2.7	2.4	2.1	1.9	1.7	1.5	1.3	1.2	1.1		
			レジスト材料	新規露光方式向け新レジスト材料	高感度、高解像度、低ラフネス	193nm水液浸リソレジスト・BARC・TC	→												
DPT/DET用レジスト	→																		
193nm 液浸(Post Water: 高屈折率液・レジスト・BARC・TC)	→																		
リソグラフィインテグレーション技術	リソシミュレーション技術	総合的最適化技術	13.5 nm EUVリソレジスト	→															
			13.5nm EUVリソシミュレーション技術	→															
			DET/DPT Data Splitting/リソシミュレーション・最適化技術	→															

半導体分野の技術ロードマップ(4/4)

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ(nm)	Flashメモリーハーフピッチ(nm)	ロジックM1ハーフピッチ(nm)	ロジックノード(nm)							
半導体	配線	微細化技術	多層配線技術	MPUの配線層数	典型的なMPUの配線層数	12	12	12	12	12	13	13	13	13	13	
			層間絶縁膜技術	Low-k材料	実効比誘電率	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8	2.4-2.8	2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5
					材料の比誘電率	2.5-2.9	2.3-2.7	2.3-2.7	2.3-2.7	2.1-2.5	2.1-2.5	2.1-2.5	1.9-2.3	1.9-2.3	1.9-2.3	
				Low-k材料	膜改善技術	キュア技術	膜補強技術	ボアシール技術								
			新構造	エアギャップ配線	エアギャップ配線											
			配線材料技術	配線材料とバリアメタル銅配線の延命技術	バリアメタル形成方法	PVD	Pvd reflow/ALD/CVD									
			信頼性技術	高信頼性	EM・SIV改善	電解めっき	CVD/ダイレクトめっき									
				配線間リーク低減	LER改善	表面改質・合金化	Infusion	メタルキャップ								
			配線モデリング技術	伝送線路としての取り扱い	モデリング手法の進展	エッチング最適化	新規ガス/ハードマスクプロセス									
			新規配線技術	M tM	新規配線材料技術	ビアの形成、および配線形成	電流密度向上	CNTビア	カーボン配線							
					光やRF(電磁波)による信号伝達技術	上層配線適用	新方式(光、RF)	チップ内RF信号伝達	チップ内光信号伝達							
					インプリントDD配線技術	インプリント技術および材料開発	低コスト形成法	インプリント配線								
	単一チップ実装	単一チップ実装			ピン数(Cost-Performanceチップ)	600-2400	660-2801	660-2783	720-3061	720-3367	800-3704	800-4075	880-4482	880-4930	880-5423	
	実装	M tM	単一チップ実装	単一チップ実装	単一チップ実装	低ダメージパッケージング方法	低応力検査・接合・封止技術									
				ウェーハレベルパッケージ	ウェーハレベルパッケージ	再配線、ハンパピッチなど	W-CSP									
				三次元チップ積層	三次元チップ積層	垂直方向の積層数(Low-Cost/Handheld)	8	9	10	11	12	13	14	14	15	15
			SIP実装(複数デバイスを同一パッケージに組み込む)	SIP実装(複数デバイスを同一パッケージに組み込む)	インターコネク技術	インターコネク技術	インターコネク技術	接触方式 非接触(無線)方式 光インターコネク	S貫通ビア	非接触ウェーハ検査技術	インダクティブ結合					
						テスト技術	テスト技術	ウェーハ検査・KGD(Known Good Die)	ボート間光配線	チップ間光信号伝達	非接触ウェーハ検査技術	KGD保証技術				
						異種デバイス、光、機構部品等の組込み	異種デバイス、光、機構部品等の組込み	MEMS、RF、LASER、LED、レンズ、冷却機構、センサー等	可動部分を含むMEMS	アチャイタ集積化、発光・受光素子、RF-MEMS(キャパシタ、スイッチ)など	チップ冷却機構	無線モジュール	DNAチップ、化学センサーなど			
						部品内蔵インターポーザ技術	部品内蔵インターポーザ技術	多層配線、薄膜部品、	チップ部品内蔵	薄膜C.L.インターポーザ						
			実装設計	実装設計	統合設計プラットフォーム技術	各ツールの連携と三次元化	各ツールの連携と三次元化	チップ/パッケージ/ボード連携設計ツール 熱/電気/構造連成解析技術	ライブラリーの共有化	設計ナビゲーション機能	モデルの標準化	異種ツール構成解析試行				

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017		
	大項目	中項目	小項目	重要課題		DRAM(ハーフピッチ (nm))	Flashメモリ(ハーフピッチ (nm))	ロジックM1(ハーフピッチ (nm))	ロジックノード (nm)	2008	2009	2010	2011	2012	2013	2014	2015
半導体	評価・解析技術	計測技術	微細構造加工精度の確保	CD寸法制御/LWR制御 (nm)	2.3/1.8	2.1/1.6	1.9/1.4	1.7/1.3	1.5/1.1	1.4/1.0	1.2/0.9	1.0/0.8	0.9/0.7	0.8/0.6			
				ゲート絶縁膜厚Tox (nm)	0.8 (Bulk)	0.7 (Bulk)	0.6 (Bulk)	0.5 (Bulk)	0.5 (Bulk)	0.9 (MG)	0.8 (MG)	0.8 (MG)	0.8 (MG)	0.7 (MG)	0.7 (MG)		
				Cu配線バリア膜厚 (nm)	4.3	3.7	3.3	2.9	2.6	2.4	2.1	1.9	1.7	1.5			
			リソグラフィ計測・評価	パターン形状の設計忠実性	CD、LER/LWR計測	3D形状計測	ナノインプリント 形状計測	ダイレクトセルフアセンブリ 形状計測									
					overlay計測	DP/DE overlay計測	ナノインプリント overlay計測	ダイレクトセルフアセンブリ overlay計測									
					OPC、HotSpot評価	EUVミラー反射率、均一性計											
					トランジスタ構造計測・評価	トランジスタ性能影響因子	ゲート形状計測 (1D、2D)	ゲート形状計測 (3D)	ナノワイヤ形状計測								
			膜厚計測 (絶縁膜、メタル膜)	界面・表面評価			歪、ドーパント計測	ダブルゲート 歪、ドーパント計測									
			仕事関数評価														
			配線構造計測・評価	配線抵抗・信頼性影響因子			配線・トレンチ形状計測 (1D、2D)	配線形状計測 (3D)	CNTビア形状・抵抗計測	カーボン配線形状・抵抗計測							
		膜厚計測 (バリア・シード)					膜厚計測 (メタル膜)	界面・表面評価	CMP平坦度計測	ポアサイズ、機械的性質計							
		光配線計測 (形状、漏れ光、光吸収、光散乱、等)															
		新材料評価解析技術			歩留り・信頼性確保のための材料スクリーニング	物性、安定性	物理的・電氣的・機械的特性評価										
						欠陥検出・解析技術	評価対象欠陥サイズの微細化	パーティクル・欠陥サイズ (nm)	13.5	12	10.8	9.6	8.4	7.5	6.6	6	5.4
			レビュー対象欠陥サイズ (nm)	22.8				20	18	16	14	12.8	11.2	10	8.8	8	
		Cuボイド・ILDボアサイズ (nm)	5.7	5	4.5			4.0	3.5	3.2	2.8	2.5	2.2	2.0			
		微小欠陥の高速検査と原因解析技術	欠陥検出感度・解析能力	欠陥検査 (EB式、光学式)	マクロ検査、エッジ・ベベル検査、ウェーハ裏面検査			欠陥レビュー (SEM式、光学式) + 元素分析 + 断面観察									
		歩留り向上技術	インライン不良解析技術	インライン化によるTAT短縮度	検査データリンケージ・解析ポイント加工	サブnm インライン物理解析											
					物理解析技術	原子レベル解析能力	3D構造解析・界面解析	原子レベル3D構造解析・界面解析	化学結合解析・極微量分析	局所プロービング							
			歩留りモデル高度化	システムティック欠陥モデルの構築 許容汚染量・ばらつき解析			歩留りモデル有効性 ばらつき解析能力	ランダム欠陥歩留りモデル	リソ歩留りモデル	許容汚染モデル	統合モデル						
ばらつき解析TEG	統合解析TEG																

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017			
	大項目	中項目	小項目	重要課題		DRAM(ハーフピッチ (nm))	Flashメモリアーフピッチ (nm)	ロジックM1(ハーフピッチ (nm))	ロジックノード (nm)									
半導体	設計 (SoC設計)	設計 コンテンツ	システムドライバ	SoC ・コンピュータ ・ネットワーク ・モバイル機器 ・情報家電機器 ・車載 ・ロボット ・健康・医療 ・カード・タグ	搭載ゲート数	22M		44M			88M			170M				
					再利用の割合 (%)	42	46	50	54	58	62	66	70	74	78			
					再利用オーバーヘッド (%)			50			50			50				
					メモリサイズ			120Mbits			240Mbits			480Mbits				
					アナログ			20mm ² 相当			20mm ² 相当			20mm ² 相当				
					動作周波数	500MHz		700MHz			1GHz			1.5GHz				
			設計コスト (SW) \$ M	39	30	41	56	79	34	47	31	42	27					
			設計コスト (HW) \$ M	22	16	20	19	26	33	45	29	40	25					
			モジュール間通信技術	M tM	高速通信・伝送技術、 ワイヤレス通信技術、 オンチップ光伝送技術、 NOC (Network on Chip)、 バスIP	通信速度		10Gbps			20Gbps							
						バンド幅、互換性、消費電力	高速シリアルインタフェース (PCI Express, SPIx、他)	→										
							オンチップおよびチップ間ワイヤレス通信技術、極低電力無線通信技術	→										
							オンチップおよびチップ間光通信技術	→										
	オンチップネットワーク制御技術	→																
	オンチップネットワークプロトコル	→																
	マルチプロセッサ技術	M tM	マルチプロセッサ対応設計手法、 マルチプロセッサ対応OS、 コンパイラ、 プロファイリング、 プラットフォームベース設計	携帯Consumer: PE (Processing Engine) 数	44	58	79	101	126	161	212	268	348	424				
				据置Consumer: DPE (Data Processing Engine) 数	13	16	21	30	37	45	62	78	101	149				
				性能、消費電力	プラットフォームベース設計	→												
					マルチプロセッサベース設計手法	低消費電力ヘテロジニアス・アーキテクチャ、オンチップネットワーク、仮想化技術、クラスタリング技術、ディメンダビリティ技術、高効率シェアドメモリ技術 →												
	リコンフィギュラブルロジック	M tM	再構成技術	再構成時のオーバーヘッド	マルチコア用基本ソフトウェア (RTOS/コンパイラ/ミドルウェア)	→												
					ミニコア用基本ソフトウェア (RTOS/コンパイラ/ミドルウェア)	→												
	システムレベル 設計・検証	高位モデリング技術	システム仕様モデリング、 トランザクションレベルモデリング	記述性、合成可能性、精度	アプリ最適化回路生成技術	→												
					自律、自己修復、進化型回路技術	→												
					三次元再構成型回路技術	→												
					トランザクションレベル記述	システム仕様記述とトランザクションレベル記述の連携	→											
アプリ対応					→													
アーキテクチャレベル低消費電力化					HW/SW最適分割	→												
合成・最適化技術	アーキテクチャ合成、動作合成、 インタフェース合成、最適化、 マルチプロセッサ対応	性能、コスト(ゲート数、面積等)	インタフェース合成	→														
			アーキテクチャ最適化	→														
検証技術	等価性検証、モデルチェック、 HW/SW協調検証	精度、TAT	静的検証: Property/Assertion/デザイン検証 高位等価検証	動的検証: Function Coverage, 動的検証: アナデジ混載高速シミュレータ	動的検証: マルチプロセッサ 対応組込みSW検証	動的検証: 異種モジュール(機械系、パイオ系等) 混合協調検証	→											
			性能・コスト見積り技術	プロファイリング、 アーキテクチャレベル性能見積り、 SW性能見積り	精度、TAT	速度見積り	サイズ見積り	→										
HW消費電力見積り	SW消費電力見積り	→																
ロバストシステム技術	高信頼性化技術	機能、性能、TAT	高信頼性回路技術	HWシステム多重化技術	マルチプロセッサシステム多重化技術	→												
						→												

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017			
	大項目	中項目	小項目	重要課題		DRAM(ハーフピッチ)(nm)	5.7	5.0	4.5	4.0	3.6	3.2	2.8	2.5	2.2	2.0		
半導体	設計 (SoC設計)	シリコンインプリメンテーション技術	システム複合化対応	基本シリコンインプリメンテーション技術	SoC設計期間	12ヶ月	11ヶ月			11ヶ月			10ヶ月					
					SoC設計生産性(10 ⁶ Tr/10人年)	7.4	10.6			24.6		73.4						
				設計TAT	RTL見積もり		システムレベル設計との統合											
					データ管理、チームデザイン環境													
					SiP向け物理設計環境とのインターフェース、Chip標準化													
				雑音・シグナルインテグリティ	設計精度	チップ・パッケージ・ボード協調設計・解析、伝送線路解析												
				インプリメンテーション検証	検証時間・精度)階層的検証(タイミング、SI、信頼性、製造性) RTL、ゲート、トランジスタ混在検証												
				低消費電力化設計	消費電力低減	消費電力	0.1μW/G@500MHz, 0.5-1.0V		0.08μW/G@800MHz, 0.5-1.0V		0.05μW/G@1GHz, 0.5-0.8V		0.03μW/G@1.2Hz, <0.5-0.7V					
						平均電力、クロック周波数、電源電圧	低消費電力自動設計、低消費電力IP技術、同期/非同期、SOI対応、温度対応設計技術、無線給電技術、極低電圧技術											
						ダイナミックパワー対応、ダイナミックノイズ対応												
			ばらつき評価技術	微細デバイスの統計的ばらつき計測	物理的・電氣的特性	解析手法	逆プロファイリング技術、ばらつき考慮チップ・セルアーキテクチャ											
			製造性考慮設計 (DFM,DFR,MASK)	プロセスに起因する設計と製造の境界面の問題	製造性	OPC考慮レイアウト、形状DRC、CMPシミュレーション考慮DRC技術、応力考慮設計技術												
					歩留まり	統計的遅延解析	統計的設計最適化手法											
					ポストファブリケーション	ポストファブリケーション(電圧調整、温度調整、周波数調整)												
			アナデジ混載技術	Mixed Signal回路	設計精度	回路シミュレーション	電源・基板雑音解析、パッケージとの一体設計											
					統計解析を用いたアナログ回路定数最適化設計、アナログ回路の自動設計													
			IPベース設計	IP再利用技術	設計技術(合成、見積り含む)	RTL(レジスタトランスファレブル) IPの再利用		TL(トランザクションレベル) IPの再利用										
					検証技術	検証IPの再利用												
			ライブラリ設計	ライブラリ作成技術	処理時間・精度	ばらつき変動考慮(統計的設計手法対応)モデル、低消費電力ライブラリ、高速ライブラリ												
			回路設計	回路シミュレーション技術	処理時間・精度	Spice/Fast Spiceシミュレータ(マルチスレッド)												
					デバイスモデリング技術	処理時間・精度	統計的モデル		量子効果対応									
						ノンクラシカルCMOSデバイスモデル												
					異種デバイスモデル(SOI、IGBT、TFTなど)	異種デバイスモデル(有機デバイス、MEMS、バイオデバイスなど)												

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017		
	大項目	中項目	小項目	重要課題		DRAM(ハーフピッチ(nm))	Flashメモリ(ハーフピッチ(nm))	ロジックM1(ハーフピッチ(nm))	ロジックノード(nm)								
半導体	テスト	DFT	高位DFT	システムレベルDFT 実動作/実機状態テスト	テスト時間・設計期間・ DFT回路量	テストプログラム開発フローの確立と検証											
			テストデータ圧縮	高効率・高品質テストデータ圧縮 故障診断	テストデータ圧縮率・テスト時間 故障診断容易性	100x, 故障診断対応	1000x, 故障診断対応	>1000x, 故障診断対応									
			BIRA, BISR	自己修復 オンライン自己修復	歩留り・稼働率	メモリ自己修復	オンラインメモリ自己修復	論理回路自己修復	オンライン論理回路自己修復								
			アナデジ混載	自己テスト(BIST, BOST)	歩留り・テスト品質・設計期間	アナログ自己テスト	アナログ自己テスト自動設計										
		テスト・故障解析	故障診断	故障診断分解能向上 多量・歩留り解析	診断分解能・ 解析期間	診断考慮テスト生成	物理解析連動診断	アナログ診断	歩留り解析(シグナチャ解析、Wafer一括パッチ処理)								
			欠陥対応テスト	微小ディレイ欠陥対応 システムティック欠陥対応	テスト品質	微小ディレイ テスト生成	微小ディレイ故障診断	パラメトリック/システムティック不良対応テスト									
			電力・ノイズ考慮テスト	テスト時消費電力低減 テスト時電源ノイズ低減 シグナルインテグリティ考慮	消費電力・電源ノイズ・ シグナルインテグリティ	消費電力考慮テスト	電源ノイズ考慮テスト	シグナルインテグリティ考慮テスト									
			テスト環境	標準準拠のテスト環境	テスト環境の構築・整備	言語、設計期間	STIL(IEEE1450) の枠組み整備 1450.0&2/ 1450.1&6	STIL(IEEE1450)の枠組み整備 1450.3/1450.4/1450.5/1450.7/1450.8	テストプログラム開発フローの確立と検証								

半導体分野の技術ロードマップ3 (1/2)

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017			
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)	Flashメモリアーフピッチ (nm)	ロジックM1ハーフピッチ (nm)	ロジックノード (nm)	2008	2009	2010	2011	2012	2013	2014	2015	2016
半導体	製造	装置基盤技術	プロセス・加工高度制御技術	関連指標	酸化膜換算実効膜厚[HP用途] (nm)	0.9	0.75	0.65	0.5	0.5	-	-	-	-	-			
					物理ゲート長[HP用途](nm)	23	20	18	16	14	13	11	10	9	8			
					ゲートの寸法ばらつき (nm) (加工後の物理長 3)	2.76	2.40	2.16	1.92	1.68	1.56	1.32	1.20	1.08	0.96			
			装置・プロセスシミュレーション精度	・プロセスモデリング技術 ・シミュレーション技術	TEG技術による各プロセスデータベースの構築	→												
					TEG評価結果/プロセスモニタリング/加工出来映えシミュレーションとの融合	→												
			加工出来映えシミュレーション精度	・3D形状予測技術	装置内現象予測モデル、プロセス出来映え予測モデル	→												
					装置内現象予測モデル、プロセス出来映え予測モデル	→												
			装置クリーン化技術	関連指標	パーティクルサイズ分解能 (nm)	28	25	23	20	18	16	14	13	11	10			
					ウェーハ金属汚染量(atoms/cm ²)	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09		
					ウェーハ有機物汚染 (Catoms/cm ²)	1.0E+13	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12	9.0E+12		
		CR環境アンモニア濃度(ppb)			50	50	50	50	50	50	50	50	50	50	50			
		汚染物、パーティクル計測	・高精度汚染・欠陥計測技術	常時有機物・アミン測定装置	→													
				高分解能欠陥レビュー装置	→													
		ファクトリインテグレーション技術	工場運用技術	生産制御の高度化 (TAT、スループット)、柔軟性 (対外乱要因)	・コスト、納期、品質のモデル化 ・同上、可視化、可予測化技術 ・モデルに基づく生産制御技術	90-65nm用CR ロット単位、ジョブジョブ製造をベースとした支援技術	→											
						45nm用CR ウェーハ単位、階層的搬送技術	→											
			装置技術	製造装置のCoO軽減、導入TAT、稼働率 <IM、PM、部材標準化>	・プロセス制御精度向上技術 ・ウェーハ単位工程管理に対応する装置制御技術	装置単位、ロット単位作業、装置内部制御枚葉化技術	→											
						ウェーハ単位作業に対応する装置制御枚葉化技術	→											
			搬送技術	TAT短縮 (試作、量産)	・ウェーハ単位制御、階層的搬送技術	高速搬送システム技術	→											
						枚葉搬送装置技術	→											
			制御技術	製造ラインの品質向上	・モデルに基づく品質制御技術	ロット単位をベースとしたプロセス・品質制御技術	→											
ウェーハ単位をベースとした、プロセス・品質制御技術	→																	
ファシリティ技術	製造ラインの構築、変更の柔軟性	・工場力へのモデリング技術	グリーンファブ可視化技術	→														
			グリーンファブ可視化技術	→														
<p>*1: サイクルタイム リソグラフィ工程におけるマスク層当たり必要とされるプロセス加工工期、あるデバイスの加工に全体で20層のマスクを必要とし、そのデバイス世代のサイクルタイムが1.5(日/マスク)とすると、そのデバイスの製作工期は、20(マスク)X1.5(日/マスク) = 30日となる。(ITRS2005 Factory Integration参照)</p>																		

半導体分野の技術ロードマップ3 (2 / 2)

技術分野	分野構造				評価パラメータ	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)	Flashメモリハーフピッチ (nm)	ロジックM1ハーフピッチ (nm)	ロジックノード (nm)							
半導体	SoC開発 / 製造工程のエンジニアリング	開発プラットフォーム	設計メソッドの構造化と標準化	設計生産性の向上	SoC新製品設計サイクル(月)	12	11	11	10	9	-	-	-	-	-	
					設計ツール記述言語の共通化	高度化継続										
			設計手法の体系化 デバイス機能ブロックIPの整備	新デバイスアーキテクチャ技術												
			プロセス開発の構造化と標準化	デバイス・プロセス性能の予測精度向上	デバイス性能の予測技術 プロセス性能の予測技術	設計/製造/ランダムバラツキ解析技術										
		デバイス特性モデル精度向上 プロセス出来映えモデル精度向上 DFM基盤技術				製造制御システムとDFMの結合										
		製造統合制御プラットフォーム	製造統合・制御プラットフォーム	品質・コスト・納期の可予測化	サイクルタイム(日/マスク)	1.5	1.4	1.4	1.2	1.2	1.2	1.2	1.13	1.13	1.13	1.05
					品質・コスト・納期モデリング技術 制御機能・情報の階層化、統合的判断機能	製造制御システム統合プラットフォーム										
			品質制御技術	製造ばらつき制御	歩留りモデリング技術 歩留りモニタ技術 検査の最適化技術	検査の最適化										
						装置・プロセス情報による歩留り予測技術										
						加工出来映えモデリング技術 モデルによるプロセス制御機能	加工出来映えモデリング									
			プロセス制御技術	製造ばらつき制御	加工出来映えモデリング技術 モデルによるプロセス制御機能	モデリングによる階層的装置・プロセス制御技術										
						ウェーハ単位装置制御技術										
			工程制御技術	多品種変量生産対応工程制御	ウェーハ単位工程制御技術	ウェーハ単位搬送制御技術										
						装置制御技術	プロセスモデリング技術 装置OEE改善技術	装置内プロセス現象モデル								
			FDC, EEQM, EEQAの高度化													

略語説明

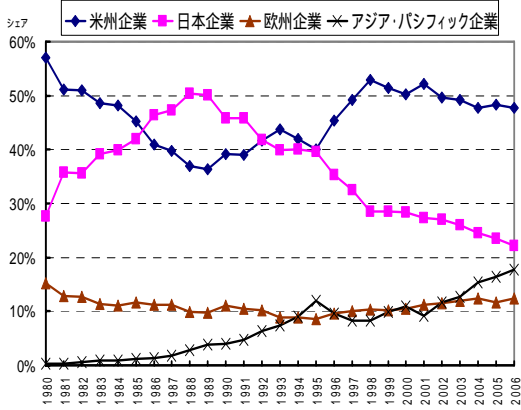
APC Advanced Process Control
 DFM Design for Manufacturing
 EEQA Enhanced Equipment Quality Assurance
 EEQM Enhanced Equipment Quality Management
 FDC Fault Detection Control
 IP Intellectual Property
 OEE Overall Equipment Efficiency

半導体分野の国際競争ポジション

< 半導体産業の各国別シェア >

日本の半導体の世界シェアは、1980年代後半には50%を超えていたが、それ以降は低下し続け、現在は22%程度。

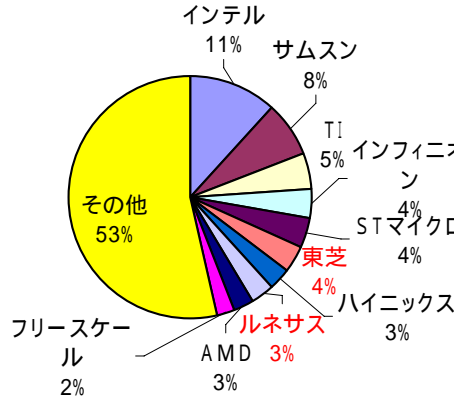
地域別企業の半導体売上高シェア推移



出典: ガートナー

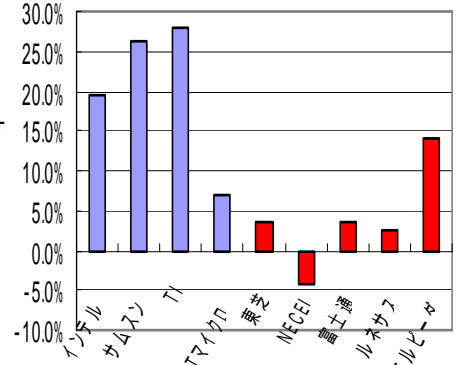
2006年半導体世界シェア

(総額: 262,690M\$)



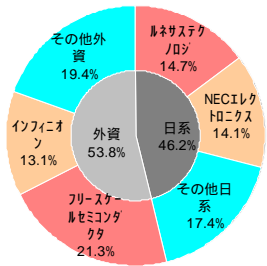
国内外の主要半導体メーカーの営業利益率比較

(06年10 - 12月期)

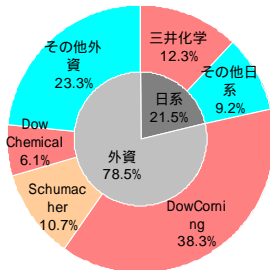


(出所: 各社決算発表資料等により作成)

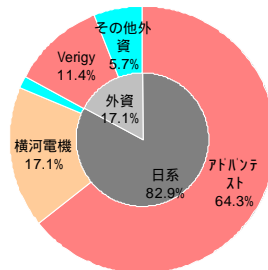
2006年 製品別世界シェア



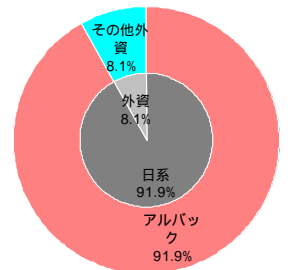
車載用マイコン 7,230億円



Low-K材料 321億円



メモリスタ 7億円



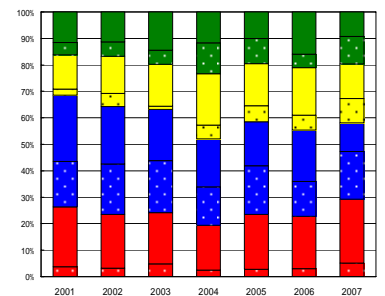
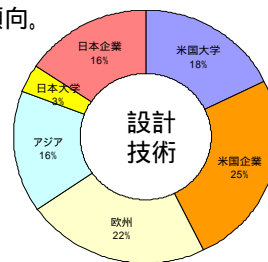
スパッタリング(TET成膜) 925億円

(出典: 富士通キメラ総研)

< 世界主要学会での発表件数の推移 >

- ・設計技術(ISSCC)、プロセス技術(IEDM)とも日本は低下傾向。
- ・米国はプロセス技術はやや低下するも、設計技術は依然強い。
- ・アジア・パシフィックがプロセス技術で急進、設計技術も漸増傾向。
- ・IEDMは2004年にアジアが日本を上回った。
- ・欧州はプロセス、設計とも一定の割合を維持。

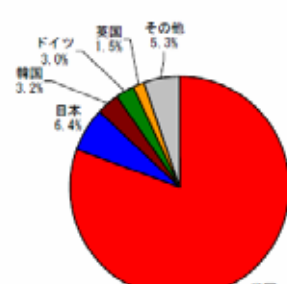
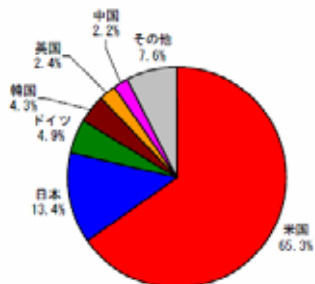
ISSCC発表論文数推移



< リコンフィギャブルに関する特許出願動向 >

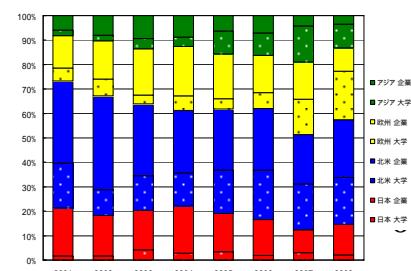
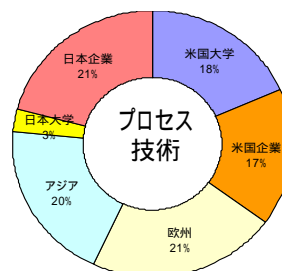
要約図 13 出願人国別出願件数構成比

要約図 14 出願人国別登録件数構成比



< 平成18年度特許出願技術動向調査報告書リコンフィギャブル論理回路 特許庁 >

IEDM発表論文数推移



出所: 半導体産業研究所