

ポスト5G情報通信システム基盤強化研究開発事業
研究開発計画

令和6年6月19日

経済産業省 商務情報政策局

目次

1. 目的・概要	2
2. 目標	2
3. 研究開発内容	2
(1) 研究開発項目	2
(2) 研究開発期間	8
4. 成果最大化に向けた仕組み.....	9
(1) ユーザーのニーズ把握.....	9
(2) 研究開発期間中の製品化	9
(3) 民間企業等による市場展開を促す仕組み	10
(4) 民間企業等による負担.....	11
(5) 「GX」の開発テーマにおける社会実装のコミット	11
5. 実施者の採択	12
(1) 予算規模.....	12
(2) 採択方法.....	13
6. 実施体制等	14
(1) 役割分担.....	14
(2) 研究開発の進捗把握・管理	14
(3) 調査・広報.....	15
7. その他	15
(1) 研究開発成果の取り扱い	15
(2) 実施期間.....	15
(3) 中間評価・事後評価	15
(4) 研究開発計画の見直し.....	15
(別紙) 収益納付額の計算方法.....	41

1. 目的・概要

第4世代移動通信システム（4G）と比べてより高度な第5世代移動通信システム（5G）は、現在各国で商用サービスが始まりつつあるが、更に超低遅延や多数同時接続といった機能が強化された5G（以下、「ポスト5G」）は、今後、工場や自動車といった多様な産業用途への活用が見込まれており、我が国の競争力の核となり得る技術と期待される。

本事業では、ポスト5Gに対応した情報通信システム（以下、「ポスト5G情報通信システム」）の中核となる技術を開発することで、我が国のポスト5G情報通信システムの開発・製造基盤強化及びデジタル社会と脱炭素化の両立の実現を目指す。

具体的には、ポスト5G情報通信システムや当該システムで用いられる半導体等の関連技術を開発するとともに、ポスト5Gで必要となる先端的な半導体を将来的に国内で製造できる技術を確認するため、先端半導体の製造技術の開発に取り組む。

2. 目標

本研究開発事業全体の目標として、以下の通り、アウトプット目標及びアウトカム目標を定める。なお、研究開発内容に変更が生じた場合には、必要に応じて、本目標を見直す。

＜アウトプット目標＞

・中間目標

テーマごとに設定した最終目標の達成に向けた中間的マイルストーンを達成すること。

※テーマ「(g3) 競争力ある生成AI基盤モデルの開発（助成）」については、事業期間が短期間であることから、中間目標の対象外とする。

・最終目標

ポスト5G情報通信システムを構成する各要素及び、ポスト5G情報通信システムに必要な先端半導体の製造技術や材料技術等について、有識者の意見に基づき開発テーマごとに設定した目標を達成したテーマの割合（※）：80%以上

※開発テーマごとに設定した目標を達成したテーマ数／当該時点までに研究開発を完了したテーマ数（先導研究は除く）

＜アウトカム目標＞

本事業で開発した技術の実用化率（※）：50%以上（各採択テーマ終了後概ね3年時点）

※開発した技術が実用化に至ったテーマ数／先導研究以外の採択テーマ数

3. 研究開発内容

（1）研究開発項目

以下①～③の項目について、研究開発を実施する。研究開発項目は、技術動向や市場動向等を踏まえ、必要に応じて柔軟に追加・変更する。

また、研究開発項目毎もしくは個々の開発テーマ毎に開発目標を設定し、研究開発の進捗状況管理の一環として、当該目標の達成状況を国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）が評価する。必要な場合には、開発目標の見直しを行う。なお、【GX】は、対応する開発テーマの類型が「グリーントランスフォーメーション」（以下「GX」）であることを表す。

①ポスト5G情報通信システムの開発（委託、助成）

（略）

②先端半導体製造技術の開発（助成、委託）

情報通信システムにおいては、装置内で信号の処理を行う半導体が極めて重要な役割を担う。また、デジタル化の進展により大量のデータ処理への需要が高まっており、自動運転、スマートファクトリ、物流などポスト5G時代で導入が進むアプリケーションによってさらに計算需要が増えると予想される。こうした計算需要に応えるためには高性能かつ高効率な計算基盤の構築が必要であり、その計算基盤はスーパーコンピュータやAIコンピュータ、高性能コンピュータだけでなく、量子コンピュータなどの様々な計算資源をネットワークでつなぎ、情報処理を最適化したものであると考えられる。

現在、日本国内には、ポスト5Gを含む情報通信システムや計算基盤において必要となる先端的なロジック半導体等（以下、「先端半導体」）の製造能力が無く、供給安定性等の観点で脆弱な状況にある一方で、ポスト5G以降の情報通信システムや計算基盤においては、先端半導体の重要性が更に増していくと考えられる。

このため、将来的に、情報通信システムや計算基盤で用いられる先端半導体を国内で製造できる技術を確保するため、先端半導体の製造技術の開発に取り組む。具体的には、パイロットライン（一部の製造工程から成るリサーチライン、ウェハーを国内で相互に移送することにより一繋ぎのラインとして機能するものを含む。）の構築等を通じて、国内に無い先端半導体及びその周辺デバイスの製造技術（ロジック半導体と組み合わせて動作するメモリや光デバイス等に関する技術、ロジック半導体を含む複数の半導体の実装技術等を含む。）を開発する。さらに、国際連携により、最先端ロジック半導体の製造技術を確立する。

先端半導体は更なる微細化が進展しつつあり、2020年において最先端のロジック半導体は5nmノードに達するとともに、前工程の製造・プロセス技術は今後も微細化(More Moore)が継続し、高性能化・低消費電力化することが想定されている。

また、後工程のMore than Moore技術においても、2次元高密度実装や3次元(2.xD、3D)実装の進展、パッケージ基板の面積化により、SiP(System in Package)としての高性能化やチップ間インターコネクトの帯域幅拡大が進みつつある。

加えて、ロジック半導体が十分に機能を発揮するためには、メモリ(SRAM、DRAM等)、ストレージクラスメモリ(MRAM、PCRAM等)、ストレージ(NAND Flash等)、センサー(イメージセンサー等)等の周辺デバイスとの高速なインターコネクトの確保も不可欠であり、その帯域幅拡大やこれら周辺デバイス自体の性能向上(高速化・低消費電力化)によって、SiP全体の性能向上が期待できる。

さらに、先端半導体の製造において今後重要性が増すと考えられる分野の材料・部材に関する技術を開発する。

具体的な開発テーマは、以下の通りとする。

- (a) 先端半導体の前工程技術(More Moore技術)の開発(助成)
(略)
- (b) 先端半導体の後工程技術(More than Moore技術)の開発(助成)
(略)
- (c) 露光周辺技術開発(助成)
(略)

- (d) 国際連携による次世代半導体製造技術開発(委託、助成)

次世代半導体製造技術の確立のためには、国内にない技術や知見を活用することが必要であり、国際連携が不可欠である。

2025年以降に最先端になると予想されている2nmノードでは、GAA(Gate All Around)構造や新材料の導入などが必要である。こうした次世代半導体の生産能力を確保するためには、各プロセス技術開発や製造装置の評価検証に加えて、所望のデバイス特性や歩留まり・コストを達成する必要がある。そのためには、微細構造を実現するために必須となる最先端の露光技術によってGAA構造を実現するための製造技術や、それら技術で実現するデバイスの検証・評価技術等が不可欠である。一方で、これらの技術のうち、一部が現在

国内には無い。そこで、2nm ノードの最先端半導体で求められる基盤的な技術を国際連携により確保した上で、2nm ノードで実現しうるトランジスタ集積度と信頼性を達成する製造技術を開発し、現在国内に無い最先端ロジック半導体の製造技術を確立する。

エレクトロニクス技術とフォトリソ技術を組み合わせた光電融合技術は、高速性・低損失性を有し、高性能かつ省エネな計算基盤の実現に重要な技術である。光電変換デバイスで接続された CPU/GPU/メモリ等複数の回路チップを半導体パッケージ内へ実装する光チップレット実装技術によって、CPU やメモリ、xPU 等の計算資源を、電気配線を介さずに、直接・遠距離まで高速・低損失に接続できる。本開発では光チップレット実装技術を開発すると共に、本技術によりパッケージ内で複数の回路チップが光で接続された半導体デバイスの開発を行い、光ディスクアグリゲータッドコンピューティング等、新規なアーキテクチャに基づくサーバー等の実現に向けた技術を確立する。

このような光電融合技術がもたらす高速性・低遅延性をソフトから有効活用するには、計算基盤技術による支援が不可欠である。本開発では、エッジ拠点や地域クラウド拠点に設置されたサーバー間のデータ転送やデータ処理を、確定遅延で最適に処理可能にするとともに、サーバー内ではプロセッサ群とメモリを分離し、プロセッサ間でメモリプールを共有することでプロセッサ間のデータ転送を削減するなど、低遅延化と遅延確定性の向上を可能とする、計算基盤技術を開発する。これにより、リソース量及びデータ転送量を削減することで計算基盤全体の省電力化を実現する。その際、光電融合デバイスや共有メモリ等と相互に連携して上記システムをくみ上げる必要があるが、光電融合デバイスと同一パッケージ内に実装する高性能 CPU 等の先端半導体メーカーは現在国内には無いため、国際連携により必要な仕様等の知見を確保しながら、本技術における共通基盤技術の開発を進める。

半導体チップの高性能化のためには微細化は有効な手段であるが、同時にパッケージング製造技術の高度化も重要。特に、高性能化の実現に向けて大型化する半導体チップを、機能毎に分割をして、微細配線で再接続をするチップレット実装技術は、高性能化と低消費電力化、さらには高歩留まりの実現に向けて必須となる技術。こうしたパッケージング製造を実現するためには、3次元 (2. xD, 3D) 実装技術やそうした実装技術のさらなる高度化に加えて、その周辺材料の高度化も必要。また、チップレット実装においては、アプリケーション毎に構成チップが変わるため、アプリケーション毎に最適化したチップレット実装を実現する必要がある、ウェハ工程における PDK と同様の概念の設計環境構築が必要。こうした要求を満たすための高度なパッケージング設計・製造技術を確立する。

なお、助成事業については国際連携を必ずしも要件としない。

(d1) 高集積最先端ロジック半導体の製造技術開発

<開発対象>

- 最先端半導体に必要なトランジスタ集積度と信頼性を達成するロジック半導体製造技術。

<開発目標>

- テストチップにおいて、以下の SRAM を GAA 構造により作り、動作を実証すること。また、動作寿命予測に資する高温動作寿命試験^{※1}を実施すること。
 - －ビットセル面積：0.0187 μm^2 以下^{※2}
 - －アレイ記憶容量：128 Mbit 以上
- ※1 IEC 等に準拠すること。また、ターゲットとする用途に応じた測定条件・目標値を提案時に設定すること。
- ※2 IRDSTM 2022 UPDATE MORE MOORE に記載の 2nm ノードに準拠。

<応募条件>

- 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同

国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(d2) 光電融合に係る実装技術および確定遅延コンピューティング基盤技術開発【GX】
以下、(d2-1)～(d2-3)の実施においては、双方連携しながら取り組むこと。

(d2-1) 光チップレット実装技術

＜開発対象＞

- ・ パッケージ内で、CPU/GPU/メモリ等複数の回路チップ間が、光電変換デバイスと導波路等で接続された、光チップレット実装技術による半導体デバイス

＜開発目標＞

- ・ 帯域密度として 1Tbps/mm 以上であること。また、光チップレット実装技術を適用して開発した、半導体デバイスの単位通信量あたりの電力が、研究開発開始時点で普及している同等の技術、あるいは製品に比べて 40%以上削減されていること。
- ※ 必要に応じて提案者にて具体的な目標値を提案時に併せて設定すること。

＜応募条件＞

- ・ 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- ・ 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(d2-2) 光電融合インターフェイスメモリモジュール技術

＜開発対象＞

- ・ 光ディスクアグリゲータッドコンピューティングを実現する、光電変換デバイスをインターフェイスとした、メモリモジュール。

＜開発目標＞

- ・ 光電変換デバイスをインターフェイスとしたメモリモジュールの光通信速度が 512Gbps 以上（物理速度）の帯域であること。また、消費電力が研究開発開始時点で普及している同等の技術あるいは製品に比べて 30%以上削減されていること。
- ※ 光通信速度の目標は、PCIe Gen6 に基づく CXL メモリを想定した。なお、必要に応じてディスクアグリゲータッドコンピューティングを実現するための具体的な目標値を上記に併せて提案時に設定すること。

＜応募条件＞

- ・ 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- ・ 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(d2-3) 確定遅延コンピューティング基盤技術

＜開発対象＞

- ・ 光電融合技術および光ネットワーク技術の高速性・低遅延性を活用した確定遅延コンピューティング基盤技術。

＜開発目標＞

- ・ 研究開発終了時点で想定されるユースケースの遅延要件を基に、開発技術の有効性を検証：1 件以上
- ※ 提案者にて具体的なユースケース、電力削減を含む目標値を提案時に設定すること。

(d3) Beyond 2nm 世代向け半導体技術開発

<開発対象^{※1}>

- Beyond 2nm 半導体製造に向けた技術開発
- 短 TAT 半導体製造に向けた技術開発

※ 対象例：露光・微細加工技術、成膜技術、配線技術、アニール技術、エッチング技術、洗浄技術、革新的な高生産性プロセス技術

<開発目標>

- Beyond 2nm 半導体製造に向けた技術開発については、Beyond 2nm 世代半導体に必要な製造技術及び材料技術等に関して、背景とともに示した上で、本研究開発で実現する目標を定量的に定め、実証すること。
- 短 TAT 半導体製造に向けた技術開発については、短 TAT 化に向けたボトルネック製造工程に関して、背景とともに示した上で、本研究開発で実現する目標を定量的に定め、実証すること。

<応募条件>

- 開発対象の両方を含むこと。
 - 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(d4) 2nm 世代半導体のチップレット・パッケージ設計・製造技術開発

<開発対象>

- 2nm 世代半導体を含む 3 次元 (2. xD, 3D) パッケージ製造技術開発
- アプリケーション毎に最適な高効率・高性能チップレット・パッケージを実現するための設計技術開発

<開発目標>

- 高性能化・省エネ化のために以下の製造技術を確認すること
 - ・インターポーザ面積：6640mm²
 - ・インターポーザの端子ピッチ：25um
 - ・再配線層のピッチ (Line & Space)：2um/2um
 - ・ハイブリッドボンディング (チップ・オン・ウェハー) の端子ピッチ：3um
- ※提案時に開発終了時点での省エネ化見通し及び根拠を示すこと
- Known Good Die (KGD) 選別手法の提案
 - 信頼性実証
- ※提案時に標準規格並びにその根拠を示すこと
- アプリケーション毎に最適なチップレット・パッケージを設計するためのデザインキットを構築
- ※少なくとも、HBM 並びに UCIe に準拠したライブラリを整備すること

<応募条件>

- 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※「海外企業等」として、提案者の親会社、子会社は対象外とする。
- 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(d5) 先端パッケージング等を含む後工程高度化プラットフォームの構築

(d5-1) 先端パッケージング等を含む後工程の自動化にかかる技術開発

<開発対象>

- 先端パッケージング製造の自動化にかかる技術開発
- 製造自動化に伴う生産効率改善の実証

<開発目標>

- 実装工程の製造自動化に向けた製造装置及び搬送装置の標準化
- 製造自動化による生産効率の 30%改善

<応募条件>

- 標準化に取り組むにあたり、グローバルに連携をして進めること。

(e) 次世代メモリ技術開発（助成）

（略）

(f) 次世代半導体設計技術開発（委託、助成）

次世代半導体産業基盤の整備のためには、製造技術の開発を進めると同時に、次世代半導体を使う側の取組、いわゆる設計技術の開発も進める必要がある。

これまでは、汎用の CPU、GPU の上でソフトウェアによる差別化が主流であったが、性能と消費電力の両立に向けて、用途毎に最適化した専用半導体と専用ソフトの組み合わせが今後の主流になると想定される。

こうした変化はクラウド側でも起きつつあるが、用途が多岐にわたるエッジ側においてより顕著であると想定されるため、我が国が強みを有するエッジ側の用途である自動車、ロボティクスなど産業機器等を中心として、次世代半導体設計基盤の構築を進めることが重要。

そこで、ユースケースを見据えた次世代半導体チップ設計等に関して、国際連携なども活用しながら技術開発を進める。

(f1) 2nm 世代半導体チップ設計技術開発

<開発対象>

- 2nm 世代半導体の製造技術を活用した AI 半導体設計

<開発目標>

- 提案時点で主に使用されている GPU と比較して、開発する半導体の性能／電力が 5 倍以上向上していること。
- 推論を対象とする業界標準ベンチマーク（MLPerf Inference Benchmark 等）を実行できること。
- 業界標準の AI 開発環境フレームワーク（TensorFlow、Pytorch、ONNX 等）に連携し、自動的にコード最適化を行う環境を提供すること。

<応募条件>

- 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

(f2) 自動車用高性能コンピュータ向け最先端 SoC 技術開発

<開発対象>

- 2030 年頃の車両搭載に求められる自動車用最先端 SoC の設計・開発・実証

<開発目標>

- 2030 年頃の車両搭載に想定される車両の電子プラットフォーム、ECU 統合機能、ソフトウェア階層構造に基づいた半導体の仕様策定
- 上記仕様に基づいた最先端 SoC の設計・開発
- プロトタイプを用いた性能実証
- 車載グレード（AEC 規格等）の信頼性検証

<応募条件>

- 海外企業等と共同で研究開発事業を実施する、または、研究開発内容に対するアドバイザー等として海外企業等が参画すること。
- ※ 「海外企業等」として、提案者の親会社、子会社は対象外とする。
- 上記のほか、「海外企業等」の属する国・地域と、日本政府との政府間交渉により、同国・地域の法令等を踏まえて、追加で条件が付される可能性がある。

<特記事項>

- 本研究開発テーマにおいては、ステージゲート審査は少なくとも 2 回実施することとし、1 回目のステージゲート審査は電子プラットフォーム、ECU 統合機能、ソフトウェア階層構造の要件定義について報告・審議を行う。
- 1 回目のステージゲート審査の際に、後年度の取り組み内容および開発費について審議を行う。

(f3) 通信用 AI 半導体設計技術開発【GX】

<開発対象>

- 通信用 AI 半導体設計技術開発

<開発目標>

- AI 処理性能/電力消費量が現在汎用的に用いられている半導体と比べて 5 倍以上であること
- 上記半導体について DU 機器に組み込んで性能実証を行うこと

(g) 先端半導体周辺デバイス設計・製造技術（助成）
（略）

③先導研究（委託、助成）
（略）

（2）研究開発期間

研究開発項目①～③は、原則として以下の期間で実施することとし、必要な場合には、個々の研究開発の性質等に応じて、柔軟に対応するものとする。

なお、研究開発終了時点で実用化に向けた課題が残る場合であって、終了時継続評価（実施者の希望を踏まえて評価の実施有無を判断）の結果、必要性が認められた場合には、追加的に継続研究開発（原則 3 年以内。ただし、基金設置期間に限る。）を実施することとする。継続研究開発を希望する可能性がある場合、実施者は、公募に対する提案書に、想定される継続研究開発の内容、想定される追加的な実施者及び再委託先、想定される研究開発費を記載することとする。継続研究の委託、助成の別については、継続の判断時に開発テーマごとに判断する。

①ポスト 5 G 情報通信システムの開発（委託、助成）

研究開発開始時点から原則 3 年（36 か月）以内とする。ただし、(f1)、(f2)、(g1)、

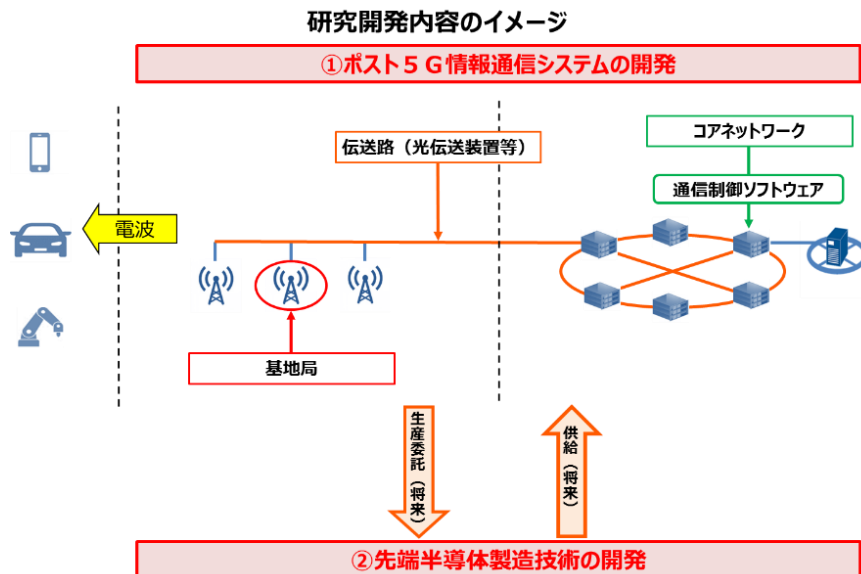
(g2) は原則 5 年（60 か月）以内とする。また、(g3) は原則 6 ヶ月以内(2023 年 11 月公募分)、原則 3 か月以内(2024 年 2 月公募分)とする。

② 先端半導体製造技術の開発（助成、委託）

研究開発開始時点から原則 5 年（60 か月）以内とする。ただし、(d2-3)及び (g1) は原則 3 年（36 か月）以内とする。

③ 先導研究（委託、助成）

研究開発開始時点から原則 3 年（36 か月）以内とする。



4. 成果最大化に向けた仕組み

社会への研究開発成果の普及を強く促すため、以下の取組を実施する。これらの取組の具体的な実施方法については、事前にNEDOが経済産業省商務情報政策局（以下、「商務情報政策局」）に相談した上で、商務情報政策局が決定する。

（1）ユーザーのニーズ把握

研究開発の開始時点から、研究開発成果を利用するユーザーとの意見交換を行うとともに、ユーザーによる試作品の評価（利用サービスの提供を含む。）を積極的に実施することにより、研究開発期間全体を通じて、ユーザーのニーズ（技術面、コスト面 等）を適切に把握する。当該ニーズを踏まえ、必要に応じて、研究開発内容を柔軟に見直すことにより、研究開発の方向性を最適化する。

特に、研究開発項目①における「システム技術開発」の開発テーマについては、研究開発成果を海外に広く展開する観点から、国外ユーザーとの意見交換や当該ユーザーによる評価を重点的に実施する。

（2）研究開発期間中の製品化

ユーザーによる試作品の評価等を通じて、研究開発期間中に製品化の見込みが得られたものについては、研究開発期間中であっても研究開発の内容から一部を切り出し、早期の製品化に取り組む。

(3) 民間企業等による市場展開を促す仕組み

研究開発項目①における「システム技術開発」の開発テーマ（但し、ステージゲート審査等により、商務情報政策局及びNEDOの判断によって研究開発期間の途中で終了した開発テーマを除く）については、実施者に対して市場展開を強く促す観点から、以下の研究開発費返還制度を適用する。

<研究開発費返還制度>

実施者は、公募に対する提案時に、以下に掲げる算出方法により費用対効果指標を設定することとし、費用対効果指標の設定値（以下、「設定値」）が1.0を超える場合に限り、提案を認める。その後、2027年度を目途に、費用対効果指標の達成状況を評価し、費用対効果指標の実績値（以下、「実績値」）が設定値を下回る場合には、実施者はNEDOに対して「委託費受領額×返還率」の金額を返還する。

委託費受領額は、各開発テーマにおいて実施者が受領した全委託費から、加速など予算配分の増加額及び継続研究開発において受領した委託費を差し引いた金額を表す（研究開発費返還制度において、委託費受領額は常に同じ意味で用いる）。

返還率は、以下に掲げる方法により算出する。

達成状況の評価に用いる設定値は、提案時点の設定値を原則とするが、研究開発期間中の引き上げ、もしくは、著しい経済情勢の変動、天災地変その他不可抗力（パンデミック、紛争、政変、技術潮流の著しい変化等）、又は研究開発開始時点で予測することのできない事由であって実施者の責任によらない事情があると商務情報政策局及びNEDOが認めた場合の引き下げについては、変更を認める。

なお、高い目標への挑戦を促す観点から、設定値に応じて、開発テーマの予算規模（実施者による提案1件当たりの提案時委託費（継続研究開発において想定される研究開発費は含まない）の上限）を決定するとともに、採択後に行われる開発テーマの加速など予算配分の増加や縮小、継続研究開発の必要性を判断する終了時継続評価に反映させる。

本制度を実施する上で必要な事業情報については、必要に応じて、実施者に対して提供を求める。

【費用対効果指標（設定値及び実績値）の算出方法】

- (a1) クラウド型コアの高度化技術の開発：
4Gコア及び5Gコア用ソフトウェアの売上高増加額／予算額
- (a2) クラウド型ネットワーク統合管理・自動最適化技術の開発：
OSS及びMANO用ソフトウェアの売上高増加額／予算額
- (b1) 光伝送システムの高速度化技術の開発：
1波長当たり最大伝送速度200Gbps以上の光伝送装置の売上高増加額／予算額
- (b4) 固定無線伝送システム大容量化技術の開発：
ミリ波帯固定無線伝送装置の売上高増加額／予算額
- (b5) バス型伝送高度化技術の開発：
ケーブル分岐機能を備えた光伝送システム（基地局～モバイルコア区間部分）の売上高増加額／予算額
- (c1) 仮想化基地局制御部の高性能化技術の開発：
4G基地局及び5G基地局の売上高増加額／予算額
- (c2) 基地局無線部の高性能化技術の開発：
同上
- (c7) RAN制御高度化技術の開発：
RICソフトウェア、およびRICソフトウェアと同時にセット販売するDUとCUの売上高増加額／予算額

- (f1) 超分散コンピューティング技術の開発：
開発技術を用いたプラットフォームサービス業務およびシステム開発委託業務
の売上高増加額／予算額
- (f2) 高機密データ流通技術の開発：
同上

※予算額は、設定値を算出する場合には提案時委託費、実績値を算出する場合には委託費受領額をそれぞれ表す（研究開発費返還制度において、予算額は常に同じ意味で用いる）。

※費用対効果指標は、小数点以下第2位を四捨五入して算出。

※売上高増加額は、原則として、「2024年度から2026年度における各年度の売上高のうち、最も高いもの」から「研究開発開始前年度及び前々年度における売上高の平均値」を差し引いた金額を指す。

※実施者が財務諸表等の作成において採用している会計期間が政府の会計年度（4月1日～翌年3月31日）と異なる場合であって、前者の期末が後者の年度末よりも前である場合には、前者の会計期間における売上高を用いて費用対効果指標を算出することができる。

※上記の売上高については、製品単体の他、必要に応じ、当該製品の導入等に係るシステム構築費、工事費、保守費、管理費、サービス利用料等を含めることができる（但し、製品単体の売上高以外を含める場合には、製品単体の売上高とその他の売上高のそれぞれを明示することとし、必要な場合には、その他の売上高の内訳も提示することとする）。また、売上高に、実施者の子会社や関連会社の売上高を含める場合は、原則として連結決算における売上高を用いる。なお、売上高の計上方法は設定値と実績値の算出時で、同じ条件で算出する。

【返還率の算出方法】

- ・ $4.0 < \text{実績値}$: 0%
- ・ $1.0 < \text{実績値} \leq 4.0$: $(4.0 - 1.0 \times \text{実績値})\%$
- ・ $\text{実績値} \leq 1.0$: 50%

なお、上記は事業開始年度が2020年度の場合で記載したもの。事業開始年度が2021年度以降となった場合は、上記の「費用対効果指標の達成状況を評価する年度（2027年度）」は「開始年度の7年後の年度」と読み替える（ただし、(f1)および(f2)については、「開始年度の9年後の年度」と読み替える）。また、上記の売上高増加額の定義に記載されている「2024年度から2026年度」は「事業開始年度の4年後の年度～事業開始年度の6年後の年度」と読み替える（ただし、(f1)および(f2)については、「事業開始年度の6年後の年度～事業開始年度の8年後の年度」と読み替える）。

（4）民間企業等による負担

助成事業として実施する開発テーマについては、助成率（ $\frac{2}{3}$ 、 $\frac{1}{2}$ 、 $\frac{1}{3}$ ）を導入し、民間企業に対して自己負担を求める（(g3)を除く）。ただし、学術機関等（国公立研究機関、国立大学法人、公立大学法人、私立大学、高等専門学校、独立行政法人及びこれらに準ずる機関。（以下、「学術機関等」））に対する共同研究費については、定額助成とすることが出来るものとする。また、当該助成事業の交付先の委託先において間接経費を計上する場合は、必要に応じ、経費の執行用途等について事前に協議し、助成事業の目的に合致したものであることの確認を受けた上で執行することとする。加えて、学術機関等への共同研究費のうち、公共性・公益性があると認められた研究開発に要する費用については、収益納付の対象から除外できることとする。収益納付の具体的な計算方法等については、原則として別紙の通りとする。これを踏まえ、事前にNEDOにて計算方法案を作成し、商務情報政策局の承認を受けた後に、決定するものとする。

また、「(g3) 競争力ある生成 AI 基盤モデルの開発 (助成)」は、基盤モデルの開発とその評価に必要な計算リソースの提供という形で支援を行うこととし、計算リソースの利用料のみを助成対象とする。計算リソースの利用料について、中小企業等経営強化法に基づく特定事業者と学術機関等については、定額助成(2023 年 11 月公募分)または助成率 $2/3$ (2024 年 2 月公募分)とし、これに該当しない企業については助成率 $(1/2)$ を導入することとする。なお、計算リソースの提供事業者・利用時間・利用量等については、経済産業省・別途募集する開発加速支援者と調整の上、指示に従うことを条件とする。

また、委託事業として実施する開発テーマについて、研究開発計画で設定した予算規模を超える研究開発費が必要となる場合には、予算規模を超える費用(以下、「自己開発投資額」)を自己負担すること及び研究開発終了後に当該負担の実績(以下、「実負担額」)及びその内訳を NEDO に対して報告することを、実施者が採択時に誓約することを条件として、実施を認める。なお、研究開発終了時点で、実負担額が「自己開発投資額 $\times$ (委託費受領額/提案時委託費)」を下回る場合には、実施者は NEDO に対してその差額を返還する。なお、実施者が自己開発投資額を負担して実施する研究開発においても、NEDO からの委託費により取得・導入した機械装置、設計ツール、ソフトウェア等は、使用可能とする。

(5) 「GX」の開発テーマにおける社会実装のコミット

「GX」の開発テーマについては、「GX 実現に向けた基本方針(令和 5 年 2 月 10 日閣議決定)」に基づき、GX の実現に向けた研究成果の社会実装への実施者のコミットの状況を提案時及びステージゲート審査等で確認する。

5. 実施者の採択

本事業における研究開発の実施者は、NEDO が公募(必要に応じて、複数回実施)により採択する。

(1) 予算規模

研究開発項目①～③における開発テーマは、以下の予算規模(実施者による提案 1 件当たりの提案時委託費及び助成費(明記のあるものは採択事業者の合計の助成費とする)(NEDO 負担額、以降も同じ定義とする)の上限。継続研究開発において想定される研究開発費は含まない)を原則として提案を公募する。

なお、公募による実施者の採択後、必要に応じて、以下の予算規模に限らず、研究開発の進捗や成果、情勢変化を踏まえた最新の事業化見通しとこれに向けた取組状況、費用対効果等を踏まえ、各開発テーマの予算配分の増加・縮小を実施する。

①ポスト 5G 情報通信システムの開発(委託、助成)
(略)

②先端半導体製造技術の開発(助成(助成率 $1/2$ 、(d2-3) は $1/3$ 、(f3) (g1) は $2/3$)、委託)

提案 1 件当たりの助成費及び委託費、開発期間毎の助成費及び委託費は、原則として以下を上限とする。ただし、波及効果が大きく一体として研究を行う必要があるが、上記の予算規模では十分な研究開発が行えない場合であり、採択審査段階における外部有識者の審査で認められた場合には、必要額を十分に精査した上で、上記を超える予算規模を認めるものとする。

なお、これらの上限は、実施者の採択後、研究開発の進捗や成果、情勢変化を踏まえた最新の事業化見通しとこれに向けた取組状況等に係る総合的な評価を踏まえ、ステージゲート審査等で外部有識者に認められたテーマの加速(予算の増額)をする場合は、この限りではない。

加えて、開発予算では、開発に当たり必要となる製造装置群(評価・測定装置等を含む)

やガス・薬液等の供給設備、排気設備等のユーティリティ設備を導入したクリーンルーム環境を必要に応じて国内に整備することができるものとする。

(略)

(d) 国際連携による先端半導体製造技術開発

(d1) 高集積最先端ロジック半導体の製造技術開発

提案1件当たりの初回ステージゲート審査までの提案時委託費は、原則として700億円以下とする。

外部有識者によるステージゲート審査の結果、以下の通り増額する。

2回目のステージゲート審査までの委託費総額：3,300億円以下(2,600億円増額)

3回目のステージゲート審査までの委託費総額：8,665億円以下(5,365億円増額)

(d2) 光電融合に係る実装技術および確定遅延コンピューティング基盤技術開発

(d2-1) 光チップレット実装技術

提案1件当たりの提案時委託費は、原則として260億円以下とする。

(d2-2) 光電融合インターフェイスメモリモジュール技術

提案1件当たりの提案時委託費は、原則として185億円以下とする。

(d2-3) 確定遅延コンピューティング基盤技術(助成(助成率1/3))

提案1件当たりの提案時助成費は、原則として10億円以下とする。

(d3) Beyond 2nm世代向け半導体技術開発

提案1件当たりの提案時委託費は、原則として200億円以下とする。

(d4) 2nm世代半導体のチップレット・パッケージング設計・製造技術開発

提案1件当たりの初回ステージゲート審査までの提案時委託費は、原則として535億円以下とする。

(d5) 先端パッケージング等を含む後工程高度化プラットフォームの構築

(d5-1) 先端パッケージング等を含む後工程の自動化にかかる技術開発

提案1件当たりの初回ステージゲート審査までの提案時委託費は、原則として200億円以下とする。

(略)

(f) 次世代半導体設計技術開発

(f1) 2nm世代半導体チップ設計技術開発

提案1件当たりの提案時委託費は、原則として280億円以下とする。

(f2) 自動車用高性能コンピュータ向け最先端SoC技術開発

提案1件当たりの初回ステージゲート審査までの提案時委託費は、原則として10億円以下とする。

(f3) 通信用AI半導体の設計技術開発

提案1件当たりの提案時助成費は、原則として40億円以下とする。

(略)

③先導研究(委託、助成(助成率1/2))

(略)

(2) 採択方法

公募要領に合致する提案を対象に、一次採択審査及び二次採択審査を行った上で、実施者を採択する(本事業を実施する上で必要となる調査等に関する実施者を採択する際には、一次採択審査を行わない)。一次採択審査は、施策目的との合致性等の観点から、商務情報政策局が行う。一次採択審査通過者に対する二次採択審査は、技術面等の観点(技術の実用化の観点を含む)から、NEDOもしくはNEDOが設置する採択審査委員会が行う。NED

〇は、二次採択審査の結果を商務情報政策局に対して報告し、商務情報政策局から承認を受けた後、実施者の採択を速やかに決定し、実施者に対して採択決定通知を発出する。なお、採択に当たっては必要な条件（研究開発項目③「先導研究（委託、助成）」として採択すること等）を付して条件付き採択とする場合がある。

採択審査は非公開であり、外部からの審査経過に関する問合せには応じないこととする。採択審査に当たって必要な場合には、提案者に対して、商務情報政策局またはNEDOからヒアリング等を実施する。

公募の締切から採択決定までの期間は、原則として55日以内とする。採択結果については、NEDOがホームページ等を通じて公表する。

6. 実施体制等

（1）役割分担

本事業では、商務情報政策局が研究開発の方針決定等、NEDOが研究開発の進捗状況管理等、公募により採択された実施者が研究開発の実施を担う。

商務情報政策局は、本事業を実施する上での重要な方針（研究開発計画、予算配分、委託・助成の別等）を決定するとともに、研究開発の進捗や技術動向・市場動向等を踏まえ、必要に応じて、研究開発計画等の見直しを行う。また、事業を円滑に進める観点から、必要に応じてNEDOや実施者に対して指示を行う。

NEDOは、本事業を実施するための基金の設置及び当該基金の適切な管理、公募による実施者の採択、契約締結・助成金交付を行う。また、本事業の研究開発成果の最大化に向けて、実施者による研究開発の進捗状況管理（実施者による研究開発の進捗状況の把握、実施者に対する必要な指示、各種委員会の開催を通じた評価等）や調査等、また、当該成果の普及に向けた広報等を実施する。

研究開発の実施者は、実用化や社会実装を見据えて研究開発に取り組む。当該実施者は、企業や研究機関等（以下、「団体」）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発を実施する。ただし、研究開発を実施する上で、国外の団体の特別な研究開発能力や研究施設等を活用する必要がある場合には、当該団体と連携して研究開発に取り組むことができる。「(g3) 競争力ある生成 AI 基盤モデルの開発（助成）」については、支援対象は「居住者」とし、日本国内に基盤モデル開発の中心的拠点を設置するなど、日本における長期的な基盤モデル開発のコミットメントを行うことを要件とする。なお、外資企業の子会社（日本法人）も参加可能とする。

なお、本事業の実施に関する詳細（公募の進め方、採択審査における審査基準、各種委員会やステージゲート審査等を含む研究開発の進捗状況管理の方法、調査・広報の内容、研究開発費返還制度における費用対効果指標の達成状況の評価方法等）については、NEDOが商務情報政策局に相談の上、商務情報政策局が決定する。

また、NEDOは提案者及び実施者から受領した資料や営業秘密に係る情報（事業化計画や売上高等）については、組織内の実施体制を適切に構築した上、機密保持のために十分な措置を講ずるものとする。

（2）研究開発の進捗把握・管理

NEDOは、研究開発の実施者と緊密に連携し、各開発テーマの研究開発の進捗状況を把握する。また、外部有識者等で構成する委員会を組織し、定期的（年1回程度）に評価を実施し、開発目標の達成見通しを常に把握するとともに、予算の必要性や実施体制の妥当性を精査する。また、各開発テーマの研究開発の進捗状況、開発目標の達成見通し、成果の事業化の見通し等について、定期的に商務情報政策局に報告し、商務情報政策局からの指示に従い、必要に応じて、開発テーマ毎の予算配分の増加や縮小、実施体制の再構築等を行う。

また、研究開発を効率的かつ効果的に実施するため、商務情報政策局からの指示に従い、

(g3)を除き、各開発テーマの研究開発開始から終了までの中間時点（研究開発項目①：研究開発開始時点から1.5年後（ただし(f1)、(f2)、(g1)、および(g2)については、2.5年後）、研究開発項目②：研究開発開始時点から2.5年後（ただし(d2-3)については、1.5年後）、研究開発項目③：研究開発開始時点から1年後～1.5年後）を目途に、ステージゲート審査を実施する。なお、採択審査段階等における外部有識者の審査で認められた場合には、ステージゲート審査時期の目途よりも前に実施することも可能とする。

当該審査を通過しなかった開発テーマについては、審査後3か月を目途に研究開発を終了する。当該審査を通過した開発テーマについても、審査結果を踏まえ、必要に応じ、研究開発の加速、縮小、実施体制の変更（例：再構築、統合 等）、実施形態の変更（研究開発項目①から③への変更 等）等を行う。なお、当該審査等の委員会での評価に当たっては、研究開発の進捗や成果、情勢変化を踏まえた最新の事業化見通しとこれに向けた取組状況、費用対効果等に係る総合的な評価を行う。

（３）調査・広報

NEDOは、本事業で取り組む技術分野について、国内外の技術動向、政策動向、市場動向等について調査（本事業において委託事業として実施）を行い、研究開発成果の最大化に向けた方策を分析・検討する。また、NEDOは、シンポジウムの開催等を通じて、本事業の研究開発成果の普及に向けた広報に取り組む。

7. その他

（１）研究開発成果の取り扱い

実施者は、研究成果の普及に努め、NEDOは、実施者による研究成果の広範な普及の促進に努める。

本事業の成果に依る知的財産や研究開発データの取り扱いについては、経済産業省が定める「委託研究開発における知的財産マネジメントに関する運用ガイドライン」及びその別冊である「委託研究開発におけるデータマネジメントに関する運用ガイドライン」に従うことを原則とする。NEDOが委託を行って実施する開発テーマについては、開発テーマ又は開発テーマを構成する研究項目ごとに知財委員会を委託先に設置し、知財委員会において、研究開発成果に関する論文発表及び特許等（以下、「知財権」）の出願・維持等の方針決定等のほか、必要に応じて、知財権の実施許諾に関する調整等がなされるよう、NEDOが助言・指導を行う。

（２）実施期間

本事業を終了する時期は未定とし、5年に1回、見直しを行う。

（３）中間評価・事後評価

中間評価は、本事業開始後、3年程度おきに経済産業省が行う。
事後評価は、本事業の終了後に経済産業省が行う。

（４）研究開発計画の見直し

商務情報政策局は、研究開発の進捗や技術動向・市場動向等を踏まえ、必要に応じて、研究開発計画（研究開発項目、研究開発期間、開発目標、実施体制 等）を見直す。

<研究開発計画の策定・見直しの履歴>

・2020年4月13日 策定

(略)

- 2024年6月19日 改定（先端半導体製造技術の開発テーマの設定）

以上

収益納付額の計算方法

$$\text{収益納付額} = (A - B) \times C / D - E$$

- A：収益額（補助事業に係る製品・部品等における営業損益等（売上高一製造原価一販売管理費等）の各年度の累計）
B：控除額（補助対象経費）
C：補助金確定額
D：補助事業に係る支出額（補助事業に要した経費と補助事業終了後に追加的に要した経費の合計）
E：納付額（前年度までの収益納付を行っている場合の当該納付額）

- （注１）相当の収益が生じた場合とは、収益〔A〕－控除額〔B〕＞０となる場合をいう。
（注２）収益〔A〕の計算にあたって、製品・サービス等に対する補助事業の寄与が一部である場合は、公正妥当な寄与率を収益に乗じた額を用いる。例えば、寄与率には当該収益を得るために要した投資総額（当該製品・サービス等の生産・実現に寄与した産業財産権やノウハウ等を生み出すために当該時点までに要した開発等経費を含む）に当該補助事業に要した経費総額が占める割合を用いる。
（注３）販売管理費等には、必要に応じ、補助事業に係る借入金の利息等金融費用を含むことができる（当該補助金に係る分として厳格に区分経理できる場合に限る）
（注４）補助事業が複数年度に渡る場合は、補助対象経費、補助金確定額、補助事業に要した経費は、各年度の累計とする。
（注５）中小企業等において、補助事業に係る製品・部品等についての区分経理が難しい場合は、収益〔A〕は企業全体の収益ベースに算出したみなし額を用いることも認める。