

光チップレット実装技術の研究開発

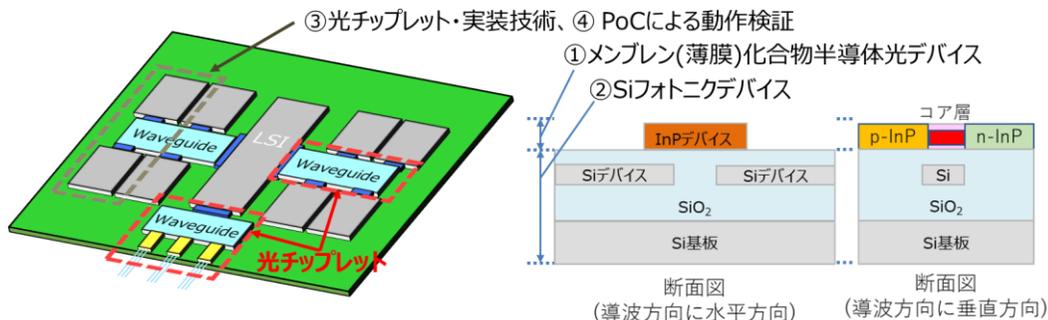
実施者

日本電信電話株式会社、古河電気工業株式会社、NTTイノベティブデバイス株式会社、NTTデバイスクロステクノロジ株式会社、新光電気工業株式会社

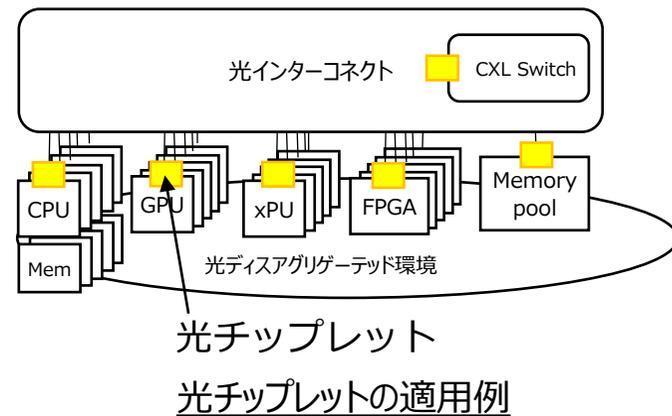
概要

- ポスト5Gで必要となる次世代情報通信システムを支えるため、ゲームチェンジにつながる先端半導体将来技術の研究開発として、**光電融合技術**を用いた**パッケージ内光配線技術**の開発に取り組む。
- これを実現するために**光集積回路(PIC)**と**電子集積回路(EIC)**を高密度パッケージング技術を用い**ハイブリッド実装した光電融合デバイス（光チップレット）**の開発を行う。当該技術をロジックIC等を含む**パッケージ内光配線**に適用することで光ディスクアグリゲータドコンピューティング等を実現し、システム全体のリソース削減により、低消費電力化を実現する。

LSI間を下記の性能で接続する光チップレットを開発する
 ・帯域密度 ≥ 1 Tbps/mm、・エネルギー効率 ≤ 2 pJ/bit



提案する光チップレットの概要



光チップレットの適用例

パッケージ内光接続を実現するための開発項目

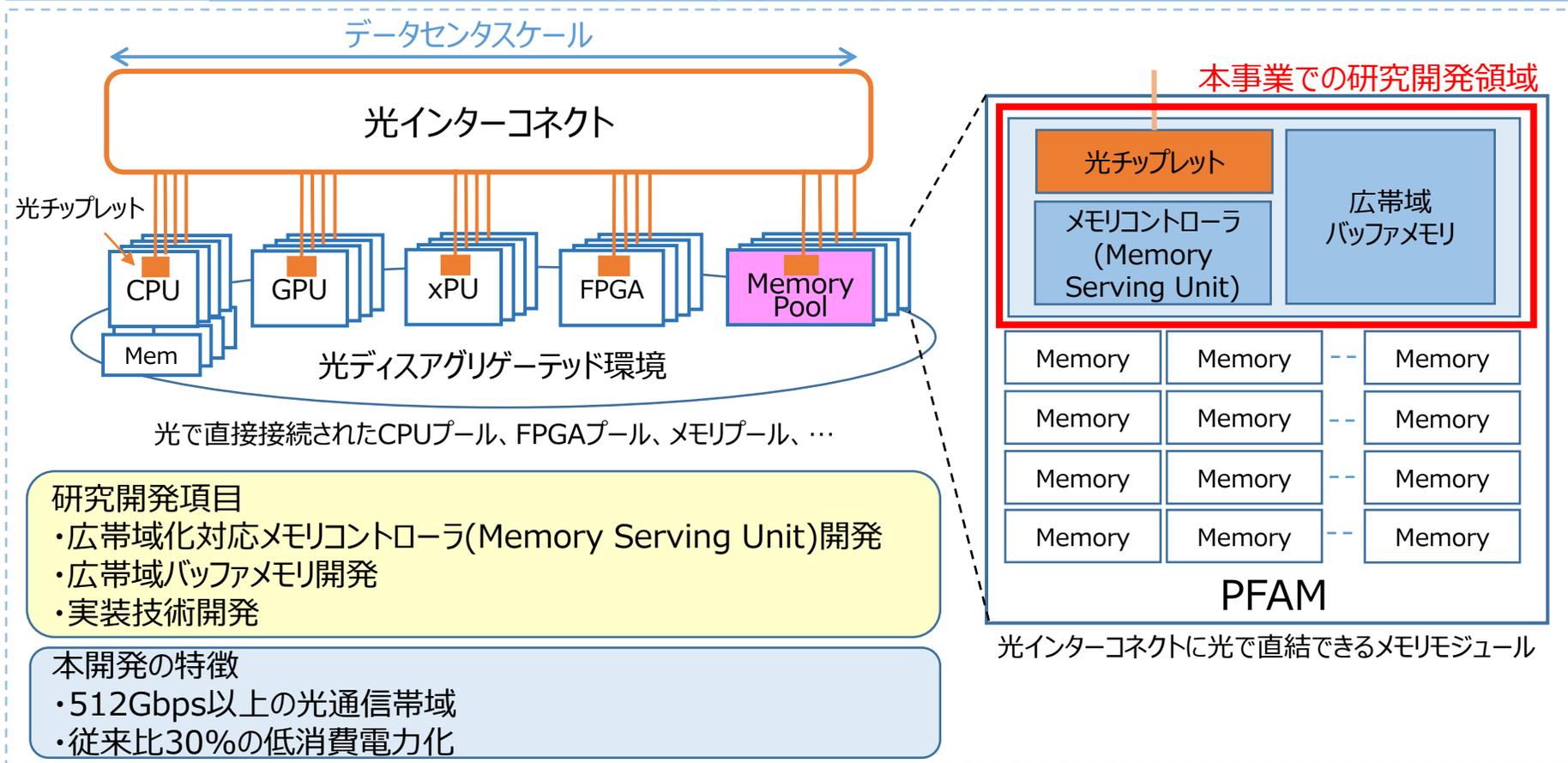
- ① メンブレン化合物半導体光デバイスの開発(担当:日本電信電話(株)、古河電気工業(株)、再委託:東京大学、慶應義塾大学)
- ② Siフォトニクス技術の開発(担当:NTTイノベティブデバイス(株)、日本電信電話(株)、再委託:千歳科学技術大学、Aloe Semiconductor Inc.)
- ③ 光チップレット・実装技術の開発(担当:NTTデバイスクロステクノロジ(株)、新光電気工業(株))
- ④ PoCによる動作検証(担当:日本電信電話(株))

本提案の特徴

メンブレン化合物半導体光デバイスのSiフォトニクスへの集積、光デバイスに最適化した電子回路を設計、デバイス内蔵パッケージ技術による光チップレット化、LSI近傍に電気実装とともに光実装などの製造技術から開発をすることで帯域密度：1 Tbps/mm、エネルギー効率：2 pJ/bitの性能優位性を確保します。

光電融合インタフェースメモリコントロールの研究開発

実施者	キオクシア株式会社、日本電信電話株式会社
概要	<ul style="list-style-type: none"> ポスト5G世代の光ディスクアグリゲータッドコンピューティングを実現するために、データセンタスケールの光インターコネクに光で直結できる広帯域メモリモジュールに向けて、「メモリコントローラ」と「広帯域バッファメモリ」を開発し、大容量のメモリ、光チップレットと共に「フォトニックファブリックアタッチトメモリモジュール (PRAM)」として実装する。 PFAMにより、複数の演算リソースから広帯域の光により確定遅延でアクセスできるメモリプールを実現する。本開発の一部を国立大学法人東北大学に再委託する。



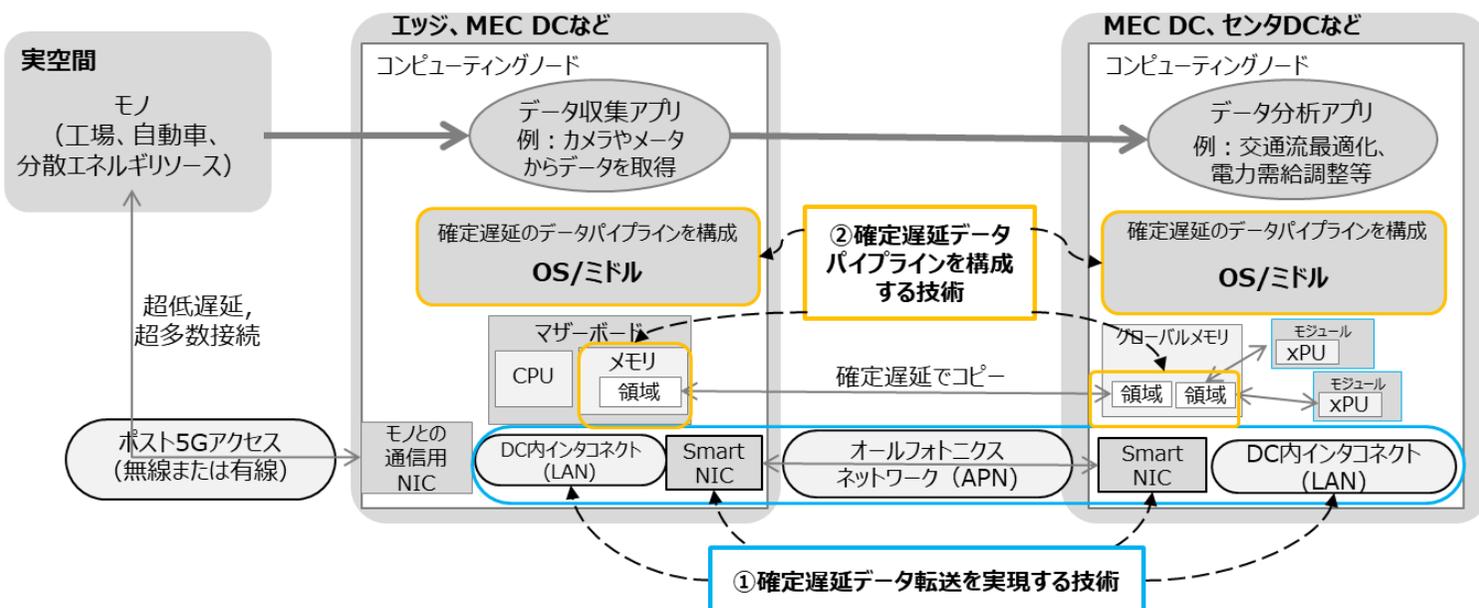
高効率な確定遅延コンピューティング基盤技術の研究開発

実施者

日本電信電話株式会社、日本電気株式会社、富士通株式会社

概要

本事業では、ポスト5G通信インフラ（光電融合技術および光ネットワーク技術を含む）の高速性・低遅延性を活用した、データ転送から分析までの一連の処理を確定遅延で、かつ優れた電力効率で実行するコンピューティング基盤の実現を目的とし、プロセッサ間のデータ転送・データ処理の不確定性を削減した、高効率な確定遅延コンピューティング基盤技術の研究開発を行う。



① 確定遅延データ転送を実現する技術

- デバイス間のPCIe-DMA（直接メモリアクセス）をデータセンタ（DC）規模で利用可能とするDCスケールPCIe-DMA技術
- DC内で利用されている遠隔DMA(RDMA)を、DC間で適用を可能とするDC間RDMA技術

② 確定遅延データパイプラインを構成する技術

- データストリームを多重化し、プロセッサの利用効率を高めるデータパイプライン最適化技術
- 共有メモリ領域を活用したメモリハンドオーバーによる、低遅延なデータ受け渡しを行うデータパイプライン設計制御技術