

Rapidus社への追加支援の決定

- Rapidus社は、2022年11月にポスト5 G基金事業（※1）において、次世代半導体の研究開発プロジェクトに採択。（2022・2023・2024・2025年度の支援上限：15,420億円）
- 2024年4月には次世代半導体を活用する先端パッケージング技術の高度化を実施する研究開発プロジェクトにも採択。（2024・2025年度の支援上限：1,805億円）
- 今般、本事業におけるRapidus社の2026年度の計画・予算を承認。（前工程：5,141億円、後工程：1,174億円）

<Rapidusの取組>



※1：ポスト5 G情報通信システム基盤強化研究開発事業

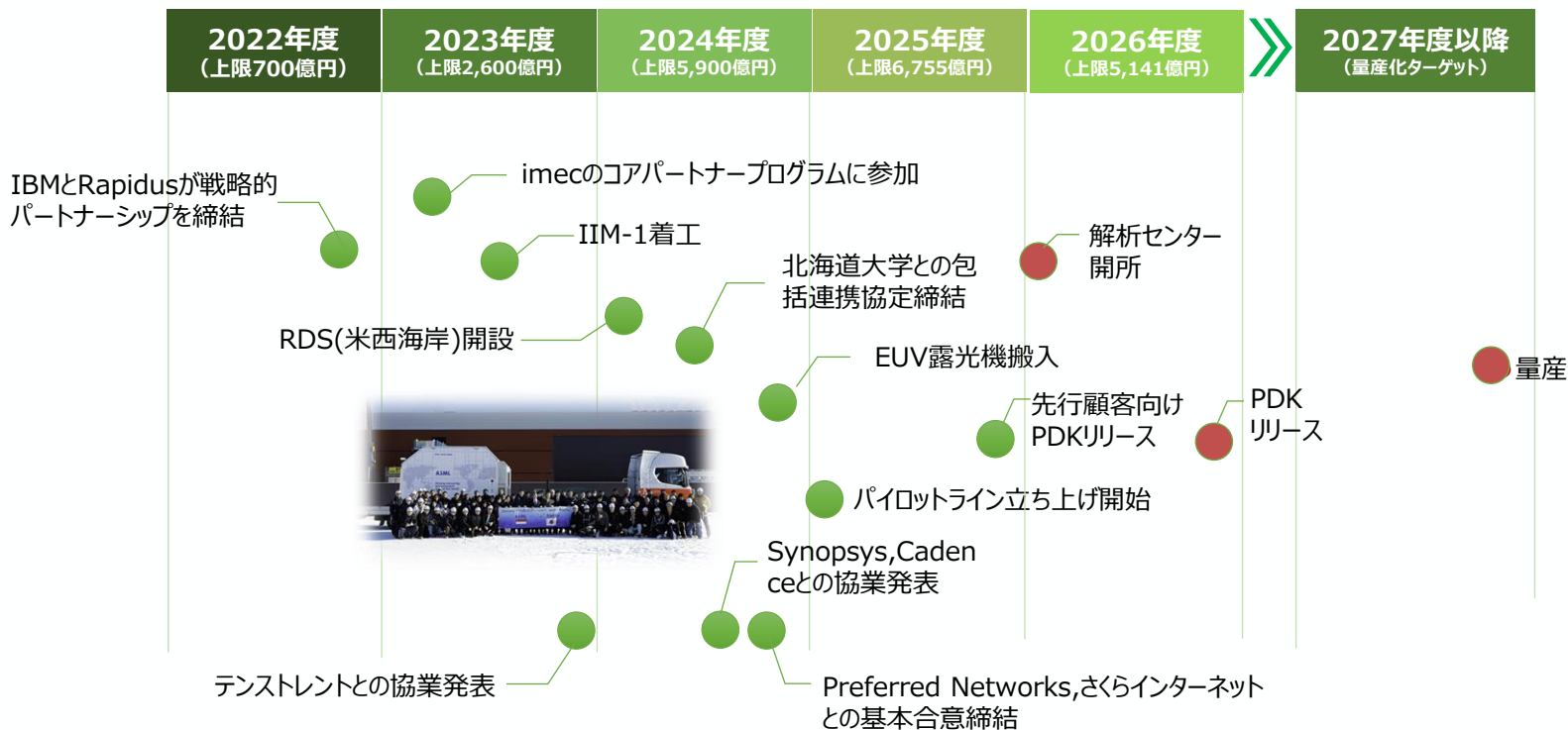
※2：Process Design Kitの略。顧客が活用する設計キット

日米連携に基づく2nm世代半導体の集積化技術と短TAT製造技術の研究開発

提案機関	Rapidus株式会社 (再委託先：株式会社ジェイ・イー・ティ、大日本印刷株式会社、共同実施先：Rapidus US, LL)
概要	<ul style="list-style-type: none"> ・ 米国IBM社他と連携して2nm世代のロジック半導体の技術開発を行い、国内短TATパイロットラインの構築と、テストチップによる実証を行っていく。 ・ ベルギーimecとも連携し、EUV露光技術を用いた2nm世代パターニング技術の開発等を行う。 ・ 研究期間終了後は、その成果をもとに先端ロジックファウンドリとして事業化を目指す。

<2026年度開発内容>

- ・ 2nm世代のロジック半導体の量産技術開発を進め、顧客の設計に必要なPDKのリリースを行う。
- ・ これまでに開発した短TAT生産システムに必要な装置、搬送システム、生産管理システムをパイロットラインに実装し検証を行う。
- ・ 千歳のパイロットラインにおいて、歩留まり向上の施策を進め欠陥密度の年度内目標を達成する。






完成構想図



2nm世代半導体のチップレットパッケージ設計・製造技術開発

提案機関	Rapidus株式会社 (共同実施先：Rapidus US, LLC、国立研究開発法人産業技術総合研究所、国立大学法人東京大学)
概要	本事業ではポスト5 G情報通信システムを支える高性能半導体に必要なチップレットパッケージ（2.xD, 3D）に関し、2nm世代の半導体を用いたパッケージの大型化及び低消費電力化を実現する実装量産技術、設計に必要なデザインキット、チップレットのテスト技術の確立を目的に、チップレットパッケージの設計・製造技術を開発する。

■ 開発内容

- ・開発① **2nm世代半導体を含む3次元（2.xD, 3D）パッケージ製造技術開発**
 項目： **600mm角パネル**での有機絶縁膜RDLインターポーザ開発、**3Dパッケージ技術**、**量産化技術**の検証、**多層RDL**インターポーザ開発
- ・開発② **アプリケーション毎に最適な高効率/高性能チップレットパッケージの設計およびテスト技術開発**
 項目： 顧客向け**デザインキット（Assembly Design Kit）**構築、**KGD選別テストフロー**（ウェハレベル/ダイレベル）開発
- ・国際連携：  米IBM、  独Fraunhofer、  星A★STAR IME

