

ポスト5G情報通信システム基盤強化研究開発事業 (複数課題プログラム)

B 先端半導体製造技術の開発

中間評価補足説明資料

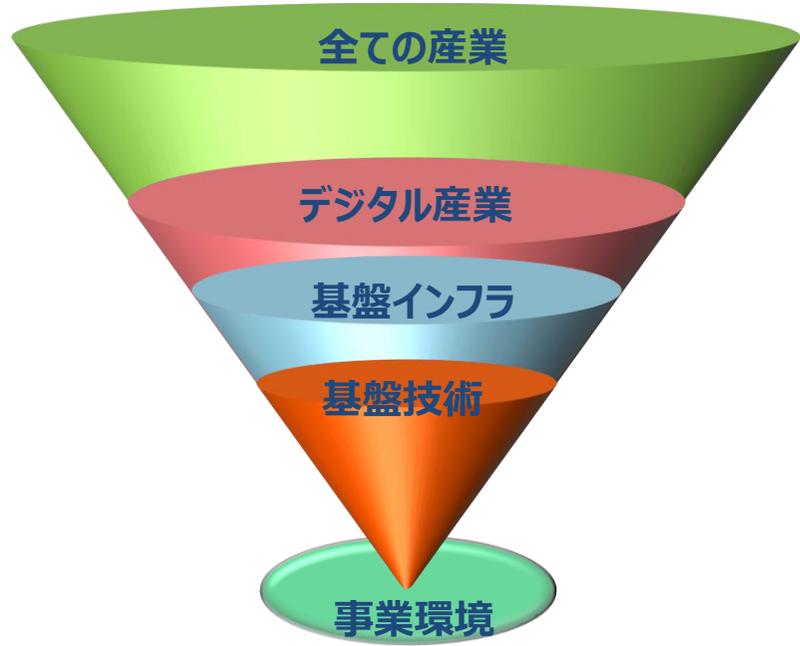
2022年11月30日

商務情報政策局 情報産業課

事業の目的	<p>情報通信システムにおいては、装置内で信号の処理を行う半導体が極めて重要な役割を担う。現在、日本国内には、ポスト5Gを含む情報通信システムにおいて必要となる先端的なロジック半導体等（以下、「先端半導体」）の製造能力が無く、供給安定性等の観点で脆弱な状況にある一方で、ポスト5G以降の情報通信システムにおいては、先端半導体の重要性が更に増していくと考えられる。</p> <p>このため、将来的に、情報通信システムで用いられる先端半導体を国内で製造できる技術を確保するため、先端半導体の製造技術の開発に取り組む。具体的には、パイロットライン（一部の製造工程から成るリサーチライン、ウェハーを国内で相互に移送することにより一繋ぎのラインとして機能するものを含む。）の構築等を通じて、国内に無い先端半導体及びその周辺デバイスの製造技術（ロジック半導体と組み合わせて動作するメモリや光デバイス等に関する技術、ロジック半導体を含む複数の半導体の実装技術等を含む。）を開発する。</p>			
類型	複数課題プログラム / <input type="text" value="研究開発課題（プロジェクト）"/> / 研究開発資金制度			
実施期間	2021年度～終了時期未定	会計区分	<input type="text" value="一般会計"/>	/ エネルギー対策特別会計
評価時期	事前評価：2019年度、2021年度 中間評価：2022年度、終了時評価：未定			
実施形態	国（補助（基金造成）） → 新エネルギー・産業技術総合開発機構（NEDO）（助成） → 事業者			
執行額 （百万円）	2021FY	2022FY （見込み）	総執行額	総予算額 （採択決定額）
	5,537	32,318	37,855	76,880

背景：半導体・デジタル産業戦略検討会議について

- 経済・社会・民主主義を支えるデジタル産業基盤の確保について、これまでエネルギーや食料の確保に講じてきた政策と同様、資本主義や自由貿易を重視しつつ、一般的な民間事業支援の枠を越え、国家事業として取り組むべく、半導体・デジタル産業戦略の検討を実施してきた。
- 昨年11月に実施した第4回半導体・デジタル産業戦略検討会議や今年の1月に実施した産業構造審議会新機軸部会では、デジタル産業政策の新機軸を示してきた。
- 足元の経済・社会情勢の変化も踏まえながら、これらの具体化を推し進める必要がある。



海外の状況：
米、中、EU、台、韓、星、印等、各国政府における政策の方向性

- ✓ 国全体のデジタル基盤の構築とデジタル関連産業育成
- ✓ 半導体、蓄電池等の重要技術の国家的育成
- ✓ データセンターの誘致等のデジタルインフラ整備 等

新機軸
(総論) 「デジタル投資」こそ、経済の牽引力であり、官民各層の関係者全体が将来ビジョンを共有し、変革の創出にコミット
(全層的アプローチ)
① 「全産業」の「本物」のDX促進 ・ 現状維持でなく、変革(トランスフォーメーション)につながる産業DX促進
② 「デジタル産業」の競争力強化 ・ BtoCプラットフォームでGAFAが興隆する中、BtoB領域の拡大や環境対応等を見据えたクラウド・ソフト産業の強化
③ 「デジタル基盤インフラ」の必要性 ・ データ処理量の増加と、エッジ処理、オープン・仮想化及びその先の技術動向を見据えたインフラ整備を促進
④ 「基盤技術の保護・育成」 ・ 半導体、蓄電池、光電融合、コンピューティング等の競争力強化
⑤ 「デジタル時代に即した事業環境整備」 ・ 社会全体のデジタル化・規制改革 ・ 公共調達を活用した産業基盤の確立 ・ 電力コスト対応、再エネ調達促進 等

背景：我が国半導体産業を巡る全体像

<主な構造変化>

経済安全保障の環境変化

米中技術覇権の対立

中国向け
販路・サプライチェーンの見直し

米国の設計開発・国内生産強化に伴う
製造装置・素材の海外移転の懸念

製造拠点（ファウンドリ）の
台・韓の地政学リスク

アフターコロナのデジタル革命

- 5G・BD・AI・IoT・DXの進展（Society5.0の実現）
- エッジ処理の増加（エッジクラウド含む）、通信×コンピューティング融合
- 微細化の限界（前工程）⇒ 積層化・3D実装・ヘテロジニアスコンピューティング（中後工程）

エネルギー・環境制約の克服（グリーン化）

- 産業自動化・電動化による電力消費増加
- データ処理量の急増に伴うIT機器の消費電力の急増
⇒ 革新素材（SiC、GaN、Ga₂O₃）、光エレクトロニクス

レジリエンスの強靱化

- 海外依存度の高まりによる
サプライチェーンリスクの増大
- 世界的な半導体不足の発生

<今後の対応策>

国内産業基盤の強靱化

需要面

<デジタルニューディールの推進>

5Gインフラ、クラウドDC
（エッジ・HPC含む）
等投資促進支援

DX推進

（5Gユースケース、自動走行・
ロボティクス、FA・IoT、スマートシティ、
医療・ヘルスケア、ゲーミング等）

供給面

【設計】

<ロジック半導体のアーキテクチャ強化>

アプリケーションシステムに係る
ロジック半導体設計の促進

AIチップ・次世代コンピューティング技術開発
（東大・産総研拠点、NEDO）

【製造】

<ファウンドリの基盤確保>

先端ロジック半導体
ファウンドリの国内立地

省エネ半導体・光エレ開発

国内半導体産業のポートフォリオ・サプライチェーン強靱化

【素材・製造装置】

<チョークポイント技術の磨き上げ>

先端製造プロセス
パイロットライン

経済安全保障上の国際戦略

先端技術のインテリジェンス強化

有志国等の連携による産業政策の協調

背景：先端半導体製造技術の共同開発とファウンドリの国内立地

- 日本の①製造装置・素材産業の強み、②地政学的な立地優位性、③デジタル投資促進をテコに、**戦略的不可欠性を獲得**する観点から、**日本に強みのある製造装置・素材のチョークポイント技術を磨く**ために、**海外の先端ファウンドリとの共同開発**を推進する。さらに、**先端ロジック半導体の量産化に向けたファウンドリの国内立地**を図る。
- 具体的には、先ず**先端半導体製造プロセスの①前工程（微細化ビヨンド2nmプロセス）、②後工程（実装3Dパッケージ）**で、**我が国の素材・製造装置産業、産総研等と連携した技術開発**を順次開始。
- さらに、こうした開発拠点をベースに、将来の本格的な**量産工場立地**を目指す。



1. 国内外の類似・競合する研究開発等の状況

◎ 国外の産業支援策の状況

国・地域	産業支援策等
米国	<ul style="list-style-type: none"> 上院・下院間の長期間の調整を経て、「The CHIPS and Science Act of 2022」が成立。(2022.8) CHIPS法では、半導体関連（半導体及び関連材料・装置）のための設備投資等への補助基金（5年で390億ドル(約5.6兆円)）やR&D基金（5年で110億ドル(約1.6兆円)）、半導体製造・装置の設備投資に対する25%の減税等が措置される。具体的な執行戦略も公表。(2022.9)
中国	<ul style="list-style-type: none"> 「国家集積回路産業投資基金」を設置('14, '19年)、半導体関連技術へ、計5兆円を超える大規模投資。 これに加えて、地方政府で計5兆円を超える半導体産業向けの基金が存在（合計10兆円超）
欧州	<ul style="list-style-type: none"> 2030年に向けたデジタル戦略を発表。デジタル移行(ロジック半導体、HPC・量子コンピュータ、量子通信インフラ等)に1447億€(約18.8兆円)投資等 EUは、半導体の域内生産拡大や研究開発強化を図る「欧州半導体法案」を発表。2030年までに官民で計5兆6000億円の投資計画。(2022.2)
台湾	<ul style="list-style-type: none"> 台湾への投資回帰を促す補助金等の優遇策を始動。ハイテク分野を中心に累計で2.7兆円の投資申請を受理。(2019.1) オングストローム世代半導体計画に5年間で63億台湾元(約236億円)の補助金を支給。(2021.2)
韓国	<ul style="list-style-type: none"> 「半導体超強大国達成戦略」を発表。半導体産業団地の拡大に向け、2026年までに、340兆ウォン(35兆3600億円)の投資等を計画。(2022.7) 半導体開発分野に、2兆2000億ウォン(2200億円)を投じ、システム半導体の市場シェアの引き上げを図る予定。(2022.7)



2022年8月9日、ジョー・バイデン米大統領が、「CHIPS and Science Act of 2022」（CHIPS法）に署名し、同法が成立。

(出典) Bloomberg

◎ 国内の類似・競合する研究開発事業との比較

ポスト5G事業	省エネエレクトロニクスの製造基盤強化に向けた技術開発事業 (NEDO)	次世代X-nics半導体創生拠点形成事業 (文部科学省)
先端半導体の製造プロセス技術や材料技術の開発やパイロットラインの構築	パワー半導体及び半導体製造装置に関する技術開発	人材育成の中核的なアカデミア拠点形成

2-1. 研究開発の全体構成

先端半導体製造技術の開発

番号	研究開発項目	実施者
B-a1	(a) 先端半導体の前工程技術 (More Moore 技術) の開発	東京エレクトロン株式会社 株式会社SCREENセミコンダクターソリューションズ キヤノン株式会社
B-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	(b1) 高性能コンピューティング向け実装技術 TSMCジャパン3DIC研究開発センター株式会社
B-b2-1		(b2) エッジコンピューティング向け実装技術 先端システム技術研究組合 ソニーセミコンダクタソリューションズ株式会社
B-b2-2		
B-b3-1		(b3) 実装共通基盤技術 昭和電工マテリアルズ株式会社 住友ベークライト株式会社 新光電気工業株式会社 東レエンジニアリング株式会社 ヤマハロボティクスホールディングス株式会社 東レエンジニアリング株式会社
B-b3-2		
B-b3-3		
B-b3-4		
B-b3-5	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	(b3) 実装共通基盤技術
B-b3-6		
B-c2	(c)露光周辺技術開発	(c2) EUV 露光装置向け次世代フォトレジスト技術開発 JSR株式会社
B-d1	(d)国際連携による次世代半導体製造技術開発	(d1)高集積最先端ロジック半導体の製造技術開発 Rapidus株式会社
B-d2		(d2)光電融合による分散型メモリセントリックコンピューティング技術開発 (公募中)

先導研究 (助成)

※B-b3-3～B-d1は本中間評価の評価対象外。

番号	研究開発項目	実施者
BS-a1	(a) 先端半導体の前工程技術 (More Moore 技術) の開発	東京エレクトロン株式会社
BS-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	株式会社創晶超光
BS-b2		東レ株式会社
BS-b3		株式会社ダイセル
BS-b4		ギガフoton株式会社

(a) 先端半導体の前工程技術（More Moore技術）の開発

先端半導体は更なる微細化が進展し、IEEEのIRDS™2020によると、プロセスノードは2022年に3nmノード、2025年に2.1nm、さらにその先では2028年、2031年、2034年にそれぞれ.5nm、1.0nm、0.7nmへと進むことが予想されている。そして、**微細化の進展に伴い、トランジスタ構造はFinFETからナノシートを活用した三次元構造やGAA（Gate All Around）構造へと変化**、チャンネル材料はシリコンゲルマニウム（SiGe）やゲルマニウム（Ge）、2次元材料が多用されるようになり、配線材料も銅（Cu）からルテニウム（Ru）へ変化する等、新構造と新材料を用いたトランジスタへと変化していく。このため、半導体製造・プロセス技術全般について新規技術開発や抜本的な性能向上が必要となる。

そこで、2nm以降のプロセスノードの先端半導体において求められる高性能な露光・微細加工技術、成膜技術、アニール技術、エッチング技術、洗浄技術等のうち、特に**新規開発や大幅な性能向上が必要となる製造・プロセス技術等を開発**するとともに、**パイロットラインの構築等を通じて、微細加工を施した実ウェハによる製造装置の評価・検証を実施し、国内に無い先端性を持つロジック半導体の製造技術を確立**する。

(b) 先端半導体の後工程技術（More than Moore技術）の開発

ポスト5G情報通信システムにおけるクラウド・MECサーバー等の高性能コンピューティング、及びエッジコンピューティングでは、多様なアプリケーションに対応するために、ロジック半導体の微細化の進展による高性能化はもとより、**ロジック半導体と周辺デバイス（メモリ、センサー、AIチップ、RF等）とを単一パッケージに統合する、2次元高密度実装や2.5次元・3次元実装技術**の進展が不可欠である。特に、高性能コンピューティング向け実装技術ではパッケージ基板の面積化や3次元・高密度実装向けの新規の材料、製造・プロセス技術、アセンブリ・パッケージング技術等が求められ、エッジコンピューティング向け実装技術では、小型・低実装面積での高性能化、高機能化、低消費電力化を実現可能な製造・プロセス技術が求められるとともに、合わせてこれらの実装技術を支える共通基盤技術が求められる。

そこで、先端半導体において求められる、(b1) 高性能コンピューティング向け実装技術、(b2) エッジコンピューティング向け実装技術、及び(b3) 実装共通基盤技術の開発を実施し、これにより国内に無い先端性を持つ半導体の後工程技術（More than Moore技術）を確立する。

先端半導体製造技術について、ポスト5Gでは実用化に至らない可能性があるものの、ポスト5Gの後半から5Gの次の通信世代（以下、「ポスト5G後半以降」）にかけて有望と考えられる技術課題について、特に新規開発や大幅な性能向上が必要となる技術に関する先導的な研究開発やの探索型開発に取り組む。ポスト5G後半以降にかけて先端半導体製造技術に適用され、一定の市場シェアを獲得するポテンシャルを有し、我が国の国民生活や経済、産業等への波及効果が期待される技術を開発対象とする。

(a) 先端半導体製造技術（前工程技術）

露光・微細加工技術、成膜技術、配線技術、アニール技術、エッチング技術、洗浄技術、革新的な高生産性プロセス技術、先端半導体と一体として機能するメモリの製造技術等のうち、先端的な次々世代（1.5nmノード以降）の先端半導体において求められる要素技術。

(b) 先端半導体製造技術（後工程技術）

高性能コンピューティング向け実装技術、エッジコンピューティング向け実装技術、実装共通基盤技術等のうち、先端的な次々世代（1.5nmノード以降）の先端半導体の実装において求められる要素技術。

(参考) B-a1 先端半導体の前工程技術 (More Moore技術) の開発 事業概要

実施者：東京エレクトロン株式会社、株式会社SCREENセミコンダクターソリューションズ、キャノン株式会社
 共同実施先：国立研究開発法人産業技術総合研究所

- 半導体素子のさらなる微細化による高性能化のためには、新構造・新材料のプロセス技術適用が不可欠。2nmノード世代以降 (新構造トランジスタ; GAAナノシート) において必要となる新規の前工程製造プロセス技術を開発するとともに、共用パイロットラインの構築等により、微細加工を施したウェハーでの評価検証を実施し、先端半導体の製造技術を確立する。

※本パイロットラインを企業・大学等が広く活用できるようにするため、先端半導体製造技術コンソーシアムを設立。

先端半導体製造技術コンソーシアム

第1種・第2種会員 パイロットラインの構築・利用を行う企業・大学等 (以下3社ほか)

賛助会員 オープンイノベーションや技術普及の観点から知見提供や情報交換を行う企業等



左記の現会員に加えて、新規会員の順次加入を想定



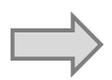
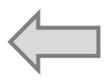
2nmノード先端3次元ロジック半導体 (Nanosheet構造) を作製可能なプラットフォーム (PF) 整備 (約20台の装置を新規導入)



産総研スーパークリーンルーム (SCR) の既存装置群も活用

産総研に整備する共用のパイロットライン

Beyond 2nm向け装置で協力



技術検証結果をフィードバック



一次世代型製造装置
一次々世代新材料





先端洗浄技術
次世代アニール技術





ナノインプリントリソグラフィ技術



採択先企業3社は先端半導体製造装置およびプロセス技術を開発

開発対象のナノシートトランジスタ

出展: IEEE IRDS™2020ロードマップ (More Moore) より

YEAR OF PRODUCTION	2020	2022	2025	2028	2031
Logic industry "Node Range" Labeling (nm)	"5"	"3"	"2.1"	"1.5"	"1.0 eq"
Device structure	2.5D-structure		3D-structure		
Mainstream device for logic	finFET	finFET	Nanosheet LGAA	Nanosheet LGAA	LGAA-3D-stack
Beyond-CMOS as complementary to mainstream CMOS				2D Device, FeFET	2D Device, FeFET
Channel material technology inflection	SiGe25%	SiGe50%	SiGe50%	Ge, 2D Material	Ge, 2D Material
LOGIC DEVICE GROUND RULES					
Lg: Gate Length - HD (nm)	20	18	14	12	12
M0 half-pitch: hp (nm) = "Pitch / 2"	15	12	10	8	8

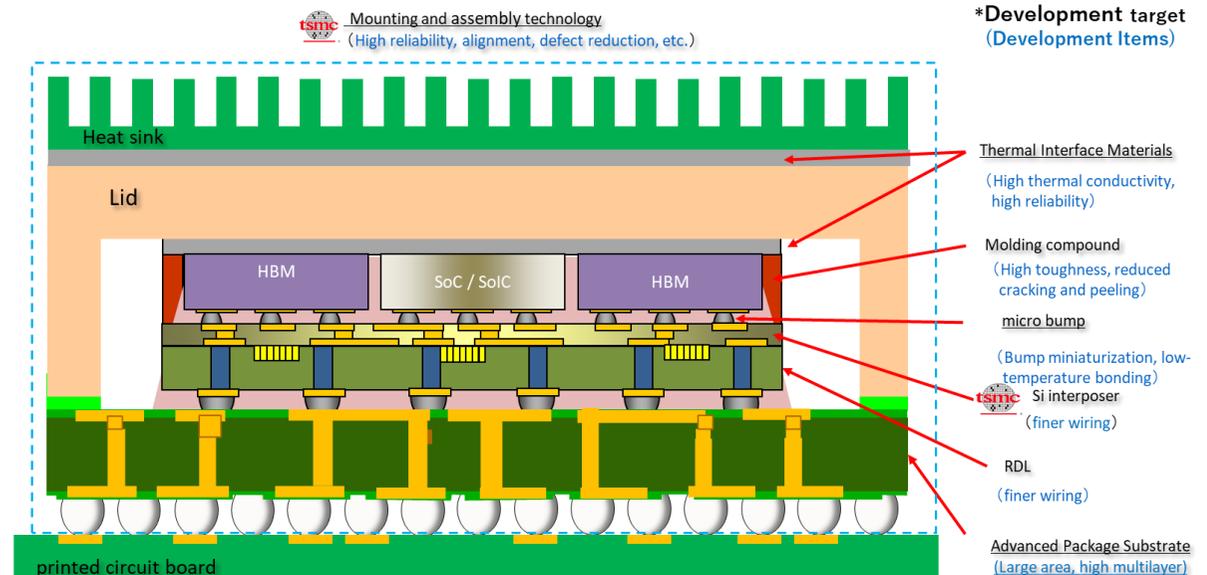
(参考) B-b1 高性能コンピューティング向け実装技術 テーマ概要

実施者：TSMCジャパン3DIC研究開発センター株式会社

- 高性能コンピューティング、広帯域5Gネットワークスイッチング、自動運転や統合センシング・診断等を実現するためには、半導体デバイスのさらなる集積化・高性能化を可能とする3Dパッケージ技術（ロジック、メモリー、周辺デバイスを1つのパッケージに高密度に実装する技術）の開発が不可欠。
- このため、本事業では、基板上実装技術（on-substrate technologies）を中心として、新しい加工材料、基板材料、接合プロセス、新規の接合・計測機器技術等を含む3Dパッケージング技術について開発し、TSMCジャパン3DIC研究開発センターが産総研のクリーンルームに構築するプロセスラインでの評価・検証を通じて、信頼性の高い組立技術として統合する。
- また、本センターは、日本の材料・装置メーカー及び研究機関・大学とのパートナーシップに強力に取り組む。最先端の技術ポジションを獲得すべく、拡張性があり、製造可能で費用効果の高いソリューションの開発を行う。



パケットラインを構築する産総研クリーンルーム（つくば市）

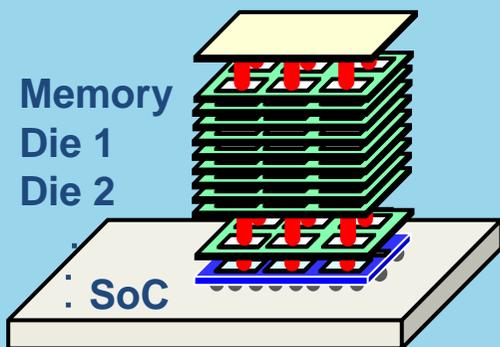


3DIC構造イメージ

(参考) B-b2～b5 エッジコンピューティング向け実装技術、実装共通基盤技術テーマ概要

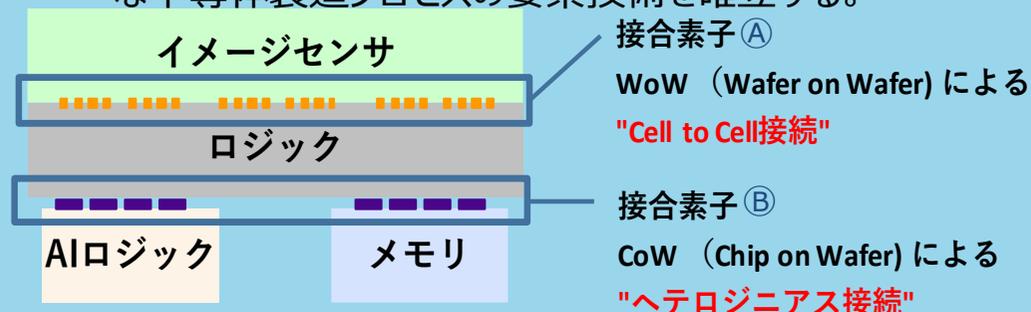
B-b2 実施者：先端システム技術研究組合 (RaaS) ※1

- 事業テーマ：ダイレクト接合 3D積層技術開発 (WoWおよびCoW向け装置・プロセス開発)
- 概要：Cu-Cu の低温ハイブリッド接合による WoW (Wafer on Wafer) 接合技術及び CoW (Chip on Wafer) 接合技術の構築とその実装化に取り組む。



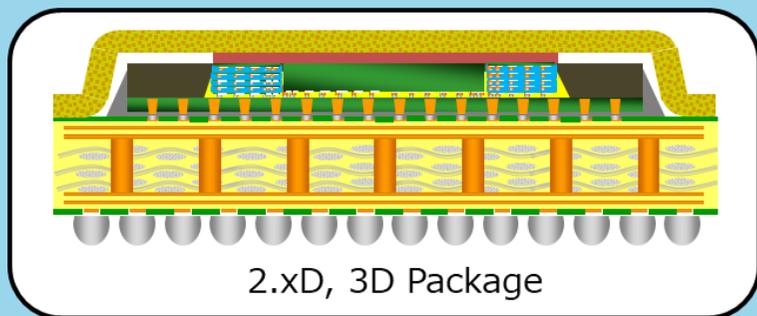
B-b3 実施者：ソニーセミコンダクタソリューションズ株式会社

- 事業テーマ：ポスト 5G エッジコンピューティング向け半導体の 3D積層要素技術研究開発
- 概要：積層モジュールの基本特性および信頼性取得が可能となるピッチサイズ目標を年度ごとに設定し、ロバストな半導体製造プロセスの要素技術を確立する。



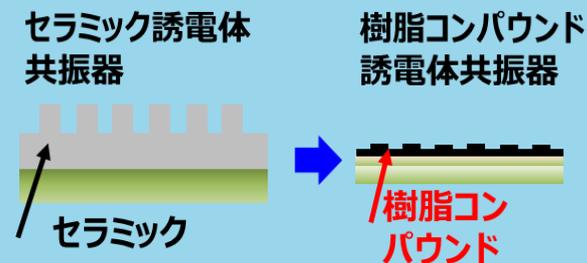
B-b4 実施者：昭和電工マテリアルズ株式会社※2

- 事業テーマ：最先端パッケージ評価プラットフォーム創成
- 概要：基板、装置、材料メーカーによるコンソーシアムを創成、評価プラットフォームを設置し次世代半導体パッケージの評価技術、基板、装置及び材料を開発する。



B-b5 実施者：住友ベークライト株式会社

- 事業テーマ：次世代情報通信向け先端パッケージの材料開発
- 概要：3次元実装密度向上において重要となる、Wafer Level PKG向け封止材、アンテナ向け封止材、再配線用感光材のファインピッチ対応技術を開発する。



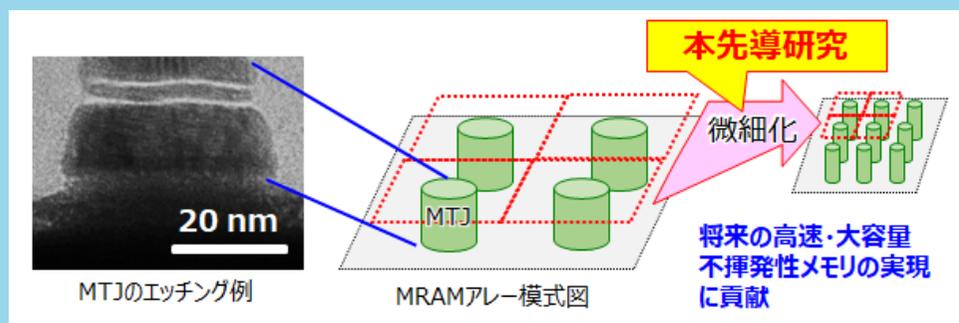
※1 (共同実施先、組合員企業等) 国立研究開発法人産業技術総合研究所、SCREENホールディングス、ダイキン工業、富士フイルム、パナソニックコネクタ、東京大学

※2 (共同実施先、協力企業等) 味の素ファインテクノ株式会社、上村工業株式会社、株式会社荏原製作所、株式会社新川、新光電気工業株式会社、株式会社ディスコ、大日本印刷株式会社、東京応化工業株式会社、ナミックス株式会社、パナソニック コネクタ株式会社、メック株式会社、ヤマハロボティクスホールディングス株式会社、HDマイクロシステムズ株式会社

(参考) BS-a1~b3 先導研究 (助成) テーマ概要

BS-a1 実施者：東京エレクトロン株式会社 (共同実施先) 東北大学

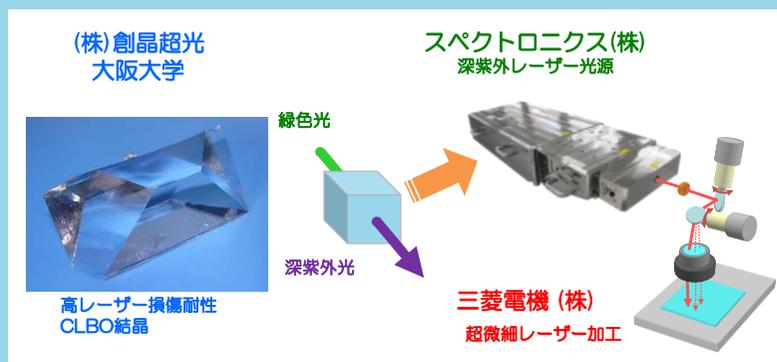
- 事業テーマ：半導体プロセス1.5nmノード以降の不揮発性MRAM※の微細加工基盤技術の研究開発
- 概要：超高密度MRAMの革新的微細加工基盤技術を開発する。



※ 不揮発性MRAM：磁気抵抗変化を利用した高速動作可能な不揮発性メモリデバイス

BS-b1 実施者：株式会社創晶超光 (共同実施先) 大阪大学、スペクトロニクス株式会社、三菱電機株式会社

- 事業テーマ：超高速・超微細加工を実現する深紫外レーザー技術
- 概要：レーザー損傷耐性の高いCLBO結晶※を開発し、超微細レーザー加工技術を確立する。



※ CLBO結晶：波長266 nmの深紫外レーザーの発生が可能なCsLiB₆O₁₀非線形光学結晶

BS-b2 実施者：東レ株式会社

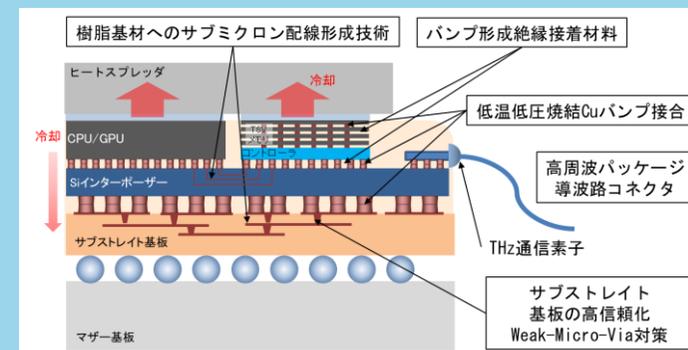
- 事業テーマ：半導体チップのマストランスファー※実装技術の研究開発
- 概要：通信用半導体の高性能化に向けた、新規実装技術のプロセス・材料を開発する。



※ マストランスファー：一度に多量のチップを基板上に移送・配置する技術

BS-b3 実施者：株式会社ダイセル (共同実施先) 大阪大学 北海道科学大学

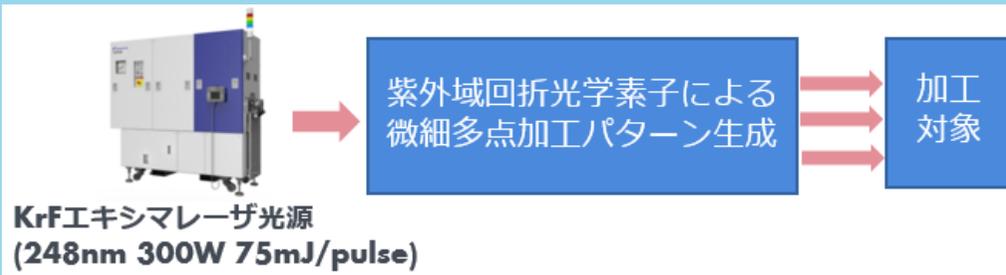
- 事業テーマ：ポスト5G半導体のための高速通信対応高密度3D実装技術の研究開発
- 概要：低温低圧焼結Cuバンプ接合、サブストレイト基板の高信頼化技術、樹脂基材へのサブミクロン配線形成技術、高周波パッケージ導波路コネクタ技術を開発する。



(参考) BS-b4 先導研究 (助成) テーマ概要

BS-b4 実施者：ギガフoton株式会社 (共同実施先) 早稲田大学

- 事業テーマ：ポスト5G、AI対応先端大規模LSIモジュール向け微細穴加工技術の研究開発
- 概要：紫外域回折光学素子を使った多点同時加工の実証とアブレーション現象※の学理解明。



※ アブレーション：レーザー照射した加工表面から物質が昇華、蒸発する現象

先端半導体製造技術の開発

— ステージゲート審査委員会予定時期

番号	事業者	2020年度	2021年度	2022年度	2023年度	2024年度	2025年度	2026年度	2027年度
B-a1	東京エレクトロン株式会社 株式会社SCREENセミコンダクターソリューションズ キヤノン株式会社		[Progress bar from 2021 to 2025]						
B-b1	TSMCジャパン3DIC研究開発センター株式会社		[Progress bar from 2021 to 2025]						
B-b2-1	先端システム技術研究組合		[Progress bar from 2021 to 2026]						
B-b2-2	ソニーセミコンダクタソリューションズ株式会社		[Progress bar from 2021 to 2024]						
B-b3-1	昭和電工マテリアルズ株式会社		[Progress bar from 2021 to 2025]						
B-b3-2	住友ベークライト株式会社		[Progress bar from 2021 to 2025]						
B-b3-3	新光電気工業株式会社		[Progress bar from 2022 to 2026]						
B-b3-4	東レエンジニアリング株式会社		[Progress bar from 2022 to 2024]						
B-b3-5	ヤマハロボティクスホールディングス株式会社		[Progress bar from 2022 to 2024]						
B-b3-6	東レエンジニアリング株式会社		[Progress bar from 2022 to 2024]						
B-c2	JSR株式会社		[Progress bar from 2022 to 2026]						
B-d1	Rapidus株式会社		[Progress bar from 2023 to 2027]						

※B-b3-3～B-d1は本中間評価の評価対象外。

先導研究（助成）

番号	事業者	2020年度	2021年度	2022年度	2023年度	2024年度	2025年度	2026年度	2027年度
BS-a1	東京エレクトロン株式会社		[Progress bar from 2021 to 2024]						
BS-b1	株式会社創晶超光		[Progress bar from 2021 to 2025]						
BS-b2	東レ株式会社		[Progress bar from 2021 to 2025]						
BS-b3	株式会社ダイセル		[Progress bar from 2021 to 2025]						
BS-b4	ギガフォトン株式会社		[Progress bar from 2021 to 2025]						

テーマ	2021年度	2022年度 (見込み)	総執行額	総予算額 (採択決定額)
先端半導体製造技術の開発	5,264	31,884	37,148	75,755
先導研究 (先端半導体)	273	434	707	1,126
合計	5,537	32,318	37,855	76,880

※単位：百万円

【月次報告】

全テーマを対象として研究開発の進捗状況を月次レベルで確認し、課題や方針判断等が必要な事項の確認等のマネジメントを実施している。

【技術推進委員会】

第三者の目線かつ専門家の立場からご助言等を頂く技術推進委員会を実施し、ステージゲート審査委員会やテーマ終了時評価委員会の審査基準を見据えながら、研究開発の進捗や実用化・事業化に向けた取組状況等の確認をして研究開発パート、事業化パートでそれぞれ5点満点の評価点を付けている。また、委員によりご指摘頂いた点を事業者にもフィードバックしながら今後のマネジメントに反映している。

<第1回>

開催日：2022年3月15日

対象事業：先導研究（先端半導体）5テーマ（BS-a1,b1,b2,b3,b4）

<第2回>

開催日：2022年10月3日、10月6日、10月18日

対象事業：先端半導体製造技術の開発6テーマ（B1-a1,b1,b2-1,b2-2,b3-1,b3-2）

先導研究（先端半導体）5テーマ（BS-a1,b1,b2,b3,b4）

【ステージゲート審査】

各研究開発テーマの事業期間の中間時点で実施する。

先導研究（先端半導体）については、2023年1月～2月頃の実施を予定。

先端半導体製造技術の開発については、2023年度の実施を予定。

「先端半導体製造技術の開発」は助成事業であり、知財は事業者に帰属する。知財の取得状況は4.(3)にて記載のとおりであり、各実施者の知財方針をベースに、成果の最大化に向けた知財戦略を取っている。

また、実施者の提案時に適切な情報管理体制及び規程等の整備状況について提出を求め、採択審査の項目の一つとしているほか、外為法等の法令遵守の取組をサポートする等、本事業の成果となる研究開発データの流出のリスクを可能な限り低減できるようマネジメントを行っている。

4-1. 研究開発目標

番号	研究開発項目	実施者	開発対象	開発目標	
B-a1	(a) 先端半導体の前工程技術 (More Moore 技術) の開発	東京エレクトロ株式会社 株式会社SCREEN セミコンダクターソリューションズ キャノン株式会社	<ul style="list-style-type: none"> ・露光・微細加工技術 (微細な三次元構造の加工・形成技術等) ・成膜技術 (新材料チャネル、新材料配線、極薄膜/多層積層技術等) ・配線技術 (微細孔への埋め込み、裏面配線等) ・アニール技術 (極薄膜対応技術、低熱履歴化技術等) ・エッチング技術 (新材料、新構造のエッチング技術等) ・洗浄技術 (微粒子/メタル濃度の極低濃度化等) ・革新的な高生産性プロセス技術 ・先端半導体と一体として機能するメモリ (キャッシュ用途等) の製造技術 ・その他の重要な製造・プロセス技術 	<p>次世代 (2.1nm や 1.5nm ノード) の先端半導体製造・プロセスにおいて求められる基本性能を具備する製造・プロセス技術を開発し、評価・検証すること。</p> <p>(製造装置としての検証であり、先端半導体の実工場ラインでの検証までは必須としない。)</p> <p>なお、さらに先端的な次々世代 (1.0nm ノード以降) の先端半導体において求められる技術開発を含める場合は、要素技術開発あるいは初期的な試作機の開発まで終えること。</p>	
B-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	(b1) 高性能コンピューティング向け実装技術	TSMCジャパン 3DIC研究開発センター株式会社	先端半導体の実装に必要なパッケージ基板の面積化、3次元・高密度実装向け材料技術、製造装置等の開発とこれらに対応するアセンブリ・パッケージング技術、その他の関連する重要技術。	高性能コンピューティング向けの先端半導体 (5nm ノード以降) の実装・パッケージング工程において求められる基本性能を具備する材料、製造プロセス技術、実装技術等を開発し、パイロットラインの構築等を通じて、評価・検証すること。
B-b2-1		(b2) エッジコンピューティング向け実装技術	先端システム技術研究組合	<p>大きさや技術ノードが異なる複数の半導体 (ロジック、AIチップ、メモリ、センサー、RF等) を3次元積層する革新的な貼り合わせ技術、微細化が進んだ半導体間を接続する狭ピッチ接続技術、広帯域・低損失インターコネクト技術、積層対象の半導体の高性能化、その他の関連する重要技術。</p>	エッジコンピューティング向けの先端半導体の3次元実装技術において求められる基本性能 (小型・低背化、低消費電力、高集積、多機能等) を具備する3次元実装技術を開発し、パイロットラインの構築等を通じて、評価・検証すること。
B-b2-2			ソニーセミコンダクタソリューションズ株式会社		
B-b3-1		(b3) 実装共通基盤技術	昭和電工マテリアルズ株式会社	<p>高性能コンピューティングやエッジコンピューティング向けの先端半導体実装技術の実装技術を支える共通的な基盤技術のうち、特に新規開発や大幅な性能向上が必要となる以下の技術。</p> <ul style="list-style-type: none"> - 実装部材 (例: パッケージ基板、封止材、放熱材、研磨剤等) - 実装部材を構成する材料 (例: コア材、絶縁材料・フィルム、接合材料等) - 実装部材の製造・アセンブリ技術 (例: パッケージ基板製造技術等) 	先端半導体実装技術 (5nmノード以降) において求められる基本性能を具備する基盤技術を開発し、3次元実装に係る実工場ラインへの適用を見据えて、実用性の評価・検証をすること。
B-b3-2		住友ベークライト株式会社			

番号	研究開発項目	実施者	開発技術
BS-a1	(a) 先端半導体の前工程技術 (More Moore 技術) の開発	東京エレクトロン株式会社	露光・微細加工技術、成膜技術、配線技術、アニール技術、エッチング技術、洗浄技術、革新的な高生産性プロセス技術、先端半導体と一体として機能するメモリの製造技術等のうち、先端的な次々世代 (1.5nmノード以降) の先端半導体において求められる要素技術
BS-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	株式会社創晶超光	高性能コンピューティング向け実装技術、エッジコンピューティング向け実装技術、実装共通基盤技術等のうち、先端的な次々世代 (1.5nmノード以降) の先端半導体の実装において求められる要素技術
BS-b2		東レ株式会社	
BS-b3		株式会社ダイセル	
BS-b4		ギガフoton株式会社	

4-2. 研究開発の成果（先端半導体製造技術の開発）

番号	研究開発項目	実施者	主な成果
B-a1	(a) 先端半導体の前工程技術（More Moore 技術）の開発	東京エレクトロニクス株式会社 株式会社 SCREEN セミコンダクターソリューションズ キヤノン株式会社	①先端半導体製造技術の開発 1) 次世代型製造装置の研究開発(東京エレクトロニクス) ・2021年度に試作装置の設置を完了し、中間目標のウェハー搬送能力等は2022年6月に取得。 2) 先端洗浄技術の開発(SCREENセミコンダクターソリューションズ) ・ウルトラクリーンに向けて、処理液の清浄度とウェハーの清浄度の相関づけ、また洗浄装置チャンバ内の気流の可視化(数値化)により、清浄度に影響するパラメータ抽出が可能になった。 3)先端アニール技術の開発(SCREENセミコンダクターソリューションズ) ・アニール装置で使用する高色温度ハロゲンランプの設計、及び試作機の設計を完了。今後、試作機を製作して検証を行う。 4) 先端露光技術の開発(キヤノン) ・ナノインプリント半導体製造装置の性能向上のために各種要素技術の試作評価を行った。 ・産総研スーパークリーンルーム（SCR）で既存のCMOSパターンを用いた加工検証を行った。 ②先端3次元構造ロジック半導体の製造・プロセス技術の開発とパイロットラインの整備 1)プロセス装置の導入と立ち上げ完了（国立研究開発法人産業技術総合研究所） ・本体装置16台の調達完了。
B-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	(b1) 高性能コンピューティング向け実装技術 TSMCジャパン 3DIC研究開発センター株式会社	・後工程プロセスラインを設置するつくばクリーンルーム改修工事を2022年6月に完了。装置搬入をほぼ完了させ、2023年1月より本格稼働を予定。 ・新型材料の開発は、現在量産に使用されている材料の課題と、ターゲット仕様を明確にし、パートナーサプライヤーとの材料開発を推進中。
B-b2-1	(b2) エッジコンピューティング向け実装技術	先端システム技術研究組合	・低温でのWafer on Wafer (WoW) 接合及びChip on Wafer (CoW) 接合技術の開発を実施。 ・WoW接合技術開発では、接合プロセス検証を可能にする複合装置(試作機)の設計を完了。また有機分子接合技術開発では、各種の分析技術を確立することで、成膜条件などを検討する土台作りができた。 ・CoW接合技術開発では、独自の異方性導電膜による低温接合での接続検証、また高品質なプラズマダイシング装置開発に向けてハードウェア組立を完了。
B-b2-2		ソニーセミコンダクタソリューションズ株式会社	・狭ピッチWoW接続及びCoW接続技術の開発を実施。 ・1μmピッチWoWモジュールの電気特性と信頼性データの取得の為に積層モジュールのマスクを作成。 ・マスクを用いてDaisyチェーン抵抗検証用のTest Element Group (TEG) 作成を開始。 ・6μmピッチμThrough Silicon Via (TSV) のTime Dependent Dielectric Breakdown (TDDB) 評価にて10年以上の寿命を確保。 ・6μmピッチCu-Cu接続CoWモジュール検証のための新たなマスクを作成しフロー構築を開始。
B-b3-1	(b3) 実装共通基盤技術	昭和電工マテリアルズ株式会社	・半導体実装向けの材料メーカーや装置メーカー、計14社が集まったコンソーシアム「JOINT2」を立ち上げ、半導体実装技術の評価プラットフォームを構築。 ・微細バンプ接合技術では、基板平坦性を確保し、バンプピッチ微細化時の課題を見極めた開発を実施。 ・微細配線技術では、再配線有機インターポーザとチップ埋込インターポーザを試作して開発。 ・高信頼性大型基板技術では、検証用パッケージを試作して課題抽出を完了。
B-b3-2		住友ベークライト株式会社	・Wafer Level Package(WLP)向け封止材の開発では、低応力剤・フィラーの検討を実施。 ・アンテナ向け封止材の研究開発では、高誘電フィラーに関する検討が計画通り進捗し、誘電正接とのバランスがとれた材料を開発。 ・再配線用感光材の開発は、高解像度のLine and Space(L/S)を達成。樹脂構造設計変更により誘電正接も改善見込。

4-2. 研究開発の成果（先導研究（助成））

番号	研究開発項目	実施者	主な成果
BS-a1	(a) 先端半導体の前工程技術 (More Moore 技術) の開発	東京エレクトロン株式会社	<ul style="list-style-type: none"> MRAM向けの反応性イオンエッチング(RIE)の技術開発を実施。 1.5nmノードの磁気トンネル接合(MTJ)ピッチアレー形成のためのRIE基盤技術において、ピッチ\leq50nm、テーパ角\geq80°、幅\leq40nmのLine形状をRIEで形成しRIE技術を確立、および試作したTEGにおいて、40nm以下で磁気抵抗効果 (MR) 比劣化度20%以下を確認した (中間目標の前倒し達成)
BS-b1	(b) 先端半導体の後工程技術 (More than Moore 技術) の開発	株式会社創晶超光	<ul style="list-style-type: none"> CsLiB₆O₁₀ (CLBO) 波長変換素子の特性向上及びCLBOを用いたレーザー加工技術の開発を実施。 CLBO結晶材料に含まれる水不純物の制御、結晶成長過程の最適化で良質な結晶の生成ができるようになった。 品質低下の原因である結晶内欠陥、散乱の形成メカニズムを研究して対策を考案しつつ、結晶の品質を短時間で評価する評価方法を構築した。 本結晶を用いる高レーザー損傷耐性光学系の設計が完了。レーザー加工装置の構築を行い無アルカリガラスの穴あけ加工特性取得中。
BS-b2		東レ株式会社	<ul style="list-style-type: none"> シリコンフォトニクス向けの薄膜半導体レーザーチップに対して、レーザーリフトオフ (LLO) によるマストランスファー技術の開発を実施。 LLOによりチップ割れなく転写を行う原理確認を、小片 (1cm角基板) を用いて完了。 LLOの際に使用される、粘着層を有するLLO材及び、キャッチ材を開発し、LLO転写精度の評価方法を確立した。その結果、\pm3μm以内の位置精度を確認した。
BS-b3		株式会社ダイセル	<ul style="list-style-type: none"> Cu焼結接合技術、高信頼性基板技術等の開発を実施。 Cu焼結材でチップと基板の250℃接合に成功。 ϕ20μmの層間絶縁接着剤ホールパターン形成に成功。 先端半導体の高性能化・小型化へ向けて、銀膜を介した銅マイクロバンプ接合技術により、工程負荷の少ない低温・低圧の半導体 3次元プロセスを実現。 新めっき技術によるナノスケール欠陥抑制効果を初めて確認。
BS-b4		ギガフoton株式会社	<ul style="list-style-type: none"> 既存KrFエキシマレーザー光源に試作した光学系と深紫外域回折光学素子(DOE)を組み合わせた穴加工技術の開発を実施。 、難加工材料であるガラス基板に対するϕ15μmでの多穴一括加工を達成。 高ビーム品位KrFエキシマレーザー光源開発において、レーザー光利用効率を改善する新規技術の有効性を確認。 レーザーアブレーション加工に関する研究成果を国際学会SLPC2022ならびにRadtech Asia 2022にて発表。

年度	論文数	国内特許出願	国外特許出願	PCT出願
2021年度	0件	23件	0件	1件

国際標準への寄与

なし

プロトタイプ^oの作成

なし

事業目的を踏まえたアウトカムの内容

「(a) 先端半導体の前工程技術 (More Moore 技術) の開発」で実施している先端半導体の共用パイロットラインの構築については、我が国の強みである半導体装置・材料メーカーが本パイロットラインを活用することで、各メーカーにおける研究開発の促進に寄与することを目指す。また、「(a) 先端半導体の前工程技術 (More Moore 技術) の開発」以外の半導体製造プロセス技術の開発については、開発された技術が実ビジネスにおける半導体製造プロセスやパッケージングプロセス等に適用されることを目指す。

開発された技術が広く活用されることで、増大する計算需要や低消費電力化等のニーズに対応し、今後さらに拡大が見込まれる先端半導体市場や、先端半導体向けの装置や材料分野における競争力強化が期待される。

アウトカム指標・目標		目標の設定理由
各採択テーマ終了後概ね3年時点	<p><u>本事業で開発した技術の実用化率 (※) : 50%以上</u></p> <p>※開発した技術が実用化に至ったテーマ数/採択テーマ数。 ただし、先導研究は除く。</p>	<p>N E D Oにおいては、<u>通常の研究開発事業の実用化達成率の目標を、事業終了後5年経過後の時点で25%以上と設定</u>しているが、本事業が設置された背景を踏まえ、<u>本事業では、実用化達成率50%以上という高いアウトカム目標</u>を設定している。</p>

6. 事業アウトカム達成に至るまでのロードマップ

	事業名／開発項目	想定実施者		研究開発の実施	研究開発テーマ終了後
研究開発の方針決定等	ポスト5G情報通信システム基盤強化研究開発事業	経済産業省	研究開発計画の策定	<p>開発の進捗や市場動向等を踏まえた計画の見直し／NEDO等に対する開発方針の指示</p>	<p>アウトプット目標の達成状況を評価(終了時評価)</p> <p>アウトカム目標の達成状況を評価</p>
研究開発の進捗管理等		NEDO	基金造成	<p>研究開発の進捗管理 (技術推進委員会等の開催を含む)</p>	<p>＜アウトカム目標＞ 本事業で開発した技術の実用化率(※): 50%以上</p> <p>※開発した技術が実用化に至ったテーマ数／先端研究以外の採択テーマ数</p>
研究開発の実施、事業化	②先端半導体製造技術の開発	半導体関連企業、研究機関、大学等		<p>研究開発の実施</p>	<p>追加的な研究開発等、事業化に向けた取組</p> <p>事業化</p>
関連の取組				<p>先端半導体に関連する国内外の市場動向、技術動向等の情報収集・人材育成</p>	

7. 費用対効果

(1) 事業期間全体の国費総額（採択決定額）

先端半導体製造技術の開発（助成）

75,755（百万円）

先導研究（助成）

1,126（百万円）

(2) 費用対効果

経済産業省としては、本事業による先端半導体製造技術の開発の他、現在実施している研究開発事業、5G促進法に基づく先端ロジック及びメモリ半導体への生産施設整備等への支援等を通じて、**2030年に、国内で半導体を生産する企業の合計売上高（半導体関連）として、15兆円超**の実現を目指している。また、**半導体はデジタル社会を支える重要基盤技術として安全保障にも直結する死活的に重要な戦略技術**であり、この観点からも我が国として半導体技術を保有することは重要な意義がある。

このため、本事業により得られる先端半導体製造技術開発の成果が広く普及すれば、高い費用対効果が期待される。