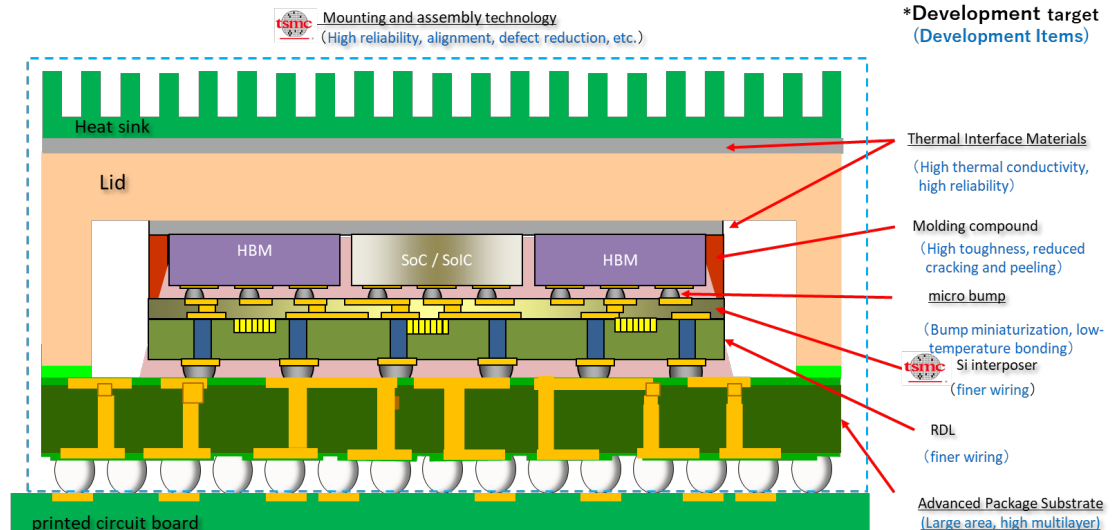


# 【参考】先端半導体製造（後工程）プロセス技術の開発 採択テーマ概要（1）

- 高性能コンピューティング、広帯域5Gネットワークスイッチング、自律走行の人工知能や統合センシング・診断等を実現するためには、半導体デバイスのさらなる集積化・高性能化を可能とする3Dパッケージ技術（ロジック、メモリー、周辺デバイスを1つのパッケージに高密度に実装する技術）の開発が不可欠。
- このため、本事業では、基板上実装技術（on-substrate technologies）を中心として、新しい加工材料、基板材料、接合プロセス、新規の接合・計測機器技術等を含む3Dパッケージング技術について開発し、TSMCジャパン3DIC研究開発センターが産総研のクリーンルームに構築するプロセスラインでの評価・検証を通じて、信頼性の高い組立技術として統合する。
- また、本センターは、日本の材料・装置メーカー及び研究機関・大学（下記）とのパートナーシップに強力に取り組む。最先端の技術ポジションを獲得すべく、拡張性があり、製造可能で費用効果の高いソリューションの開発を行う。



パ° イットラインを構築する産総研クリーンルーム（つくば市）



3DIC構造イメージ

実施者：TSMCジャパン3DIC研究開発センター株式会社

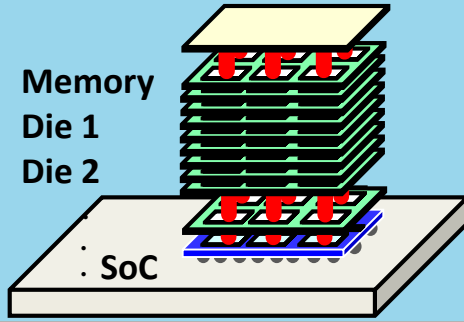
＜パートナー企業・機関（50音順）＞ ※下記に限定するものではない

【材料メーカー】旭化成、イビデン、JSR、昭和電工マテリアルズ、信越化学工業、新光電気工業、住友化学、積水化学工業、東京応化工業、長瀬産業、日東電工、日本電気硝子、富士フイルム、三井化学、【装置メーカー】キーエンス、芝浦メカトロニクス、島津製作所、昭和電工、ディスコ、東レエンジニアリング、日東電工、日立ハイテク、【大学・研究機関】産業技術総合研究所、先端システム技術研究組合（RaaS）、東京大学

# 【参考】先端半導体製造（後工程）プロセス技術の開発 採択テーマ概要（2）～（5）

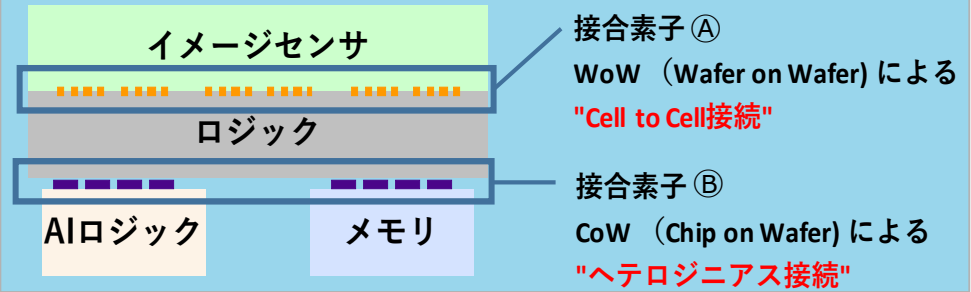
## (2) 実施者：先端システム技術研究組合（RaaS）※1

- 事業テーマ：ダイレクト接合 3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）
- 概要：Cu-Cuの低温ハイブリッド接合による WoW（Wafer on Wafer）接合技術及び CoW（Chip on Wafer）接合技術の構築とその実装化に取り組む。



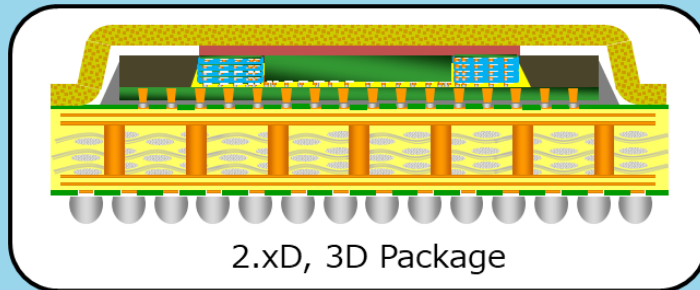
## (3) 実施者：ソニーセミコンダクタソリューションズ株式会社

- 事業テーマ：ポスト 5G エッジコンピューティング向け半導体の 3D 積層要素技術研究開発
- 概要：積層モジュールの基本特性および信頼性取得が可能となるピッチサイズ目標を年度ごとに設定し、ロバストな半導体製造プロセスの要素技術を確立する。



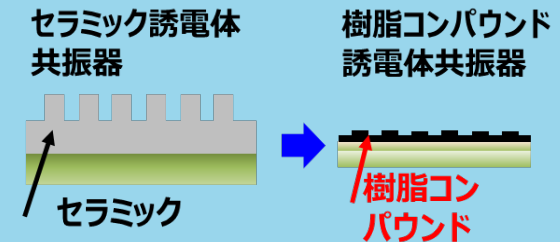
## (4) 実施者：昭和電工マテリアルズ株式会社※2

- 事業テーマ：最先端パッケージ評価プラットフォーム創成
- 概要：基板、装置、材料メーカーによるコンソーシアムを創成、評価プラットフォームを設置し次世代半導体パッケージの評価技術、基板、装置及び材料を開発する。



## (5) 実施者：住友ベークライト株式会社

- 事業テーマ：次世代情報通信向け先端パッケージの材料開発
- 概要：3次元実装密度向上において重要となる、Wafer Level PKG向け封止材、アンテナ向け封止材、再配線用感光材のファインピッチ対応技術を開発する。



※1（共同実施先、組員企業等）国立研究開発法人産業技術総合研究所、SCREENホールディングス、ダイキン工業、富士フイルム、パナソニックスマートファクトリソリューションズ、東京大学  
※2（共同実施先、協力企業等）味の素ファインテクノ、上村工業、荏原製作所、新川、新光電気工業、大日本印刷、ディスコ、東京応化工業、TOWA、ナミックス、パナソニックスマートファクトリソリューションズ、ヤマハロボティクスホールディングス